

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-282397

(43)公開日 平成11年(1999)10月15日

(51)Int.Cl. ⁸	識別記号	F I	
G 0 9 G 3/20	6 1 2	G 0 9 G 3/20	6 1 2 K
	6 2 2		6 2 2 E
	6 2 3		6 2 3 H
	6 2 4		6 2 4 A
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0
審査請求 未請求 請求項の数10 O L (全 20 頁) 最終頁に続く			

(21)出願番号 特願平10-84664
(22)出願日 平成10年(1998)3月30日

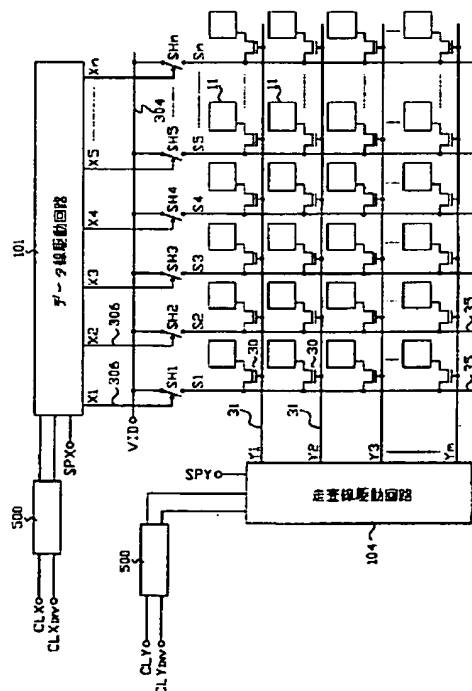
(71)出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72)発明者 村出 正夫
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(74)代理人 弁理士 鈴木 喜三郎 (外2名)

(54)【発明の名称】 電気光学装置の駆動回路、電気光学装置、及び電子機器

(57)【要約】

【課題】 クロック信号と逆位相クロック信号の位相差を確実に無くしつつ、駆動回路のレイアウト面積を増大させることのないクロック信号位相差補正回路を備えた電気光学装置の駆動装置を提供すること。

【解決手段】 クロック信号位相差補正回路500を、夫々インバータ等からなる第1バッファ回路、双安定回路、第2バッファ回路から構成し、第2バッファ回路は、双安定回路の出力部に接続する。少なくとも外部からのクロック信号入力部はクロック信号位相差補正回路500を介してデータ線駆動回路101または走査線駆動回路104に接続されている。



(2)

1

【特許請求の範囲】

【請求項 1】 画像信号が供給される複数のデータ線と、走査信号が供給される複数の走査線と、前記各データ線及び前記各走査線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを備えた電気光学装置の駆動回路であって、

クロック信号と該クロック信号に対して逆位相のクロック信号とに基づいて、所定の信号の転送を行うシフトレジスタを有する駆動手段と、

前記駆動手段に前記クロック信号及び前記逆位相のクロック信号を夫々供給する入力部からの入力はクロック信号位相差補正手段を介して前記駆動手段に供給されてなることを備えることを特徴とする電気光学装置の駆動回路。

【請求項 2】 前記クロック信号位相差補正手段は、前記クロック信号及び前記逆位相のクロック信号の入力部に夫々接続され、入力信号の極性を反転させる第 1 及び第 2 の論理手段の夫々の出力部と、互いに他方の入力部とを接続した信号帰還手段と、前記信号帰還手段の前記第 1 及び第 2 の論理手段の夫々の出力部に接続された信号伝搬手段とを備えていることを特徴とする請求項 1 に記載の電気光学装置の駆動回路。

【請求項 3】 前記クロック信号位相差補正手段の少なくとも 2 本の配線の容量値は略一定であることを特徴とする請求項 1 または請求項 2 に記載の電気光学装置の駆動回路。

【請求項 4】 前記クロック信号位相差補正手段は、前記信号帰還手段に信号を伝搬させる第 1 バッファ回路と、前記信号帰還手段としての双安定回路と、前記信号伝搬手段としての第 2 バッファ回路とからなることを特徴とする請求項 2 または請求項 3 に記載の電気光学装置の駆動回路。

【請求項 5】 前記双安定回路は NAND 回路により形成されていることを特徴とする請求項 4 に記載の電気光学装置の駆動回路。

【請求項 6】 前記双安定回路は NOR 回路により形成されていることを特徴とする請求項 4 に記載の電気光学装置の駆動回路。

【請求項 7】 前記駆動手段は、前記データ線または走査線の両端側に夫々設けられており、前記クロック信号位相差補正手段は、クロック信号の入力部と前記夫々の駆動手段との間に、夫々独立に設けられていることを特徴とする請求項 1 乃至請求項 6 のいずれか一項に記載の電気光学装置の駆動回路。

【請求項 8】 前記シフトレジスタは、N (1, 2, 3, ...) 系列で駆動されるシフトレジスタであり、前記クロック信号位相差補正手段は、夫々のシフトレジスタに対応して N 個備えられていることを特徴とする請求項 1 乃至請求項 7 のいずれか一項に記載の電気光学装置の駆動回路。

2

【請求項 9】 請求項 1 乃至請求項 8 のいずれか一項に記載の電気光学装置の駆動回路を備えたことを特徴とする電気光学装置。

【請求項 10】 請求項 9 に記載の電気光学装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（以下適宜、TFT と称す）駆動等によるアクティブマトリクス駆動方式の電気光学装置の駆動回路、該駆動回路を備えた電気光学装置、当該電気光学装置を用いた電子機器の技術分野に属し、特に、データ線または走査線の駆動回路に供給するクロック信号及び当該クロック信号と逆位相のクロック信号（以下、逆位相クロック信号と称す）の位相差補正手段を備えた電気光学装置の駆動回路、電気光学装置、及び電子機器の技術分野に属する。

【0002】

【従来の技術】図 18 に従来の TFT 駆動によるアクティブマトリクス駆動方式の液晶装置の一例を示す。図 18 において、縦横に夫々配列された Y1 ~ Ym の走査線 31 及び S1 ~ Sn のデータ線 35 と、走査線 31 及びデータ線 35 の各交点に対応してトランジスタ 30 が形成され、該トランジスタ 30 に接続された多数の画素電極 11 が液晶装置用基板上に設けられている。そして、これらに加えて、走査線駆動回路 104、データ線駆動回路 101、サンプリング回路 301 などの TFT を構成要素とする各種の周辺回路が、このような液晶装置用基板上に設けられている。

【0003】前記データ線駆動回路 101 には、画像信号線 304 を介して供給される画像信号 VID をデータ線 35 に書き込ませるためのサンプリング回路 301 を制御するサンプリング回路駆動信号線 306 に駆動信号を順次転送するようにシフトレジスタが構成されている。また、前期走査線駆動回路 104 には、走査信号を順次走査線 31 に順次転送するようにシフトレジスタが構成されている。

【0004】

【発明が解決しようとする課題】上記のような構成を有する液晶装置では、外部の制御回路から出力されるクロック信号 CL（後述するデータ線駆動回路 101 を制御するためのクロック信号を CLX と表記し、走査線駆動回路 104 を制御するためのクロック信号を CLY と表記する）と、外部の制御回路にて反転された逆位相クロック信号 CLINV（後述するデータ線駆動回路 101 を制御するための逆位相クロック信号を CLXINV と表記し、走査線駆動回路 104 を制御するための逆位相クロック信号を CLYINV と表記する）が、従来は、一例として図 19 (a) に示すような回路を用いて液晶装置用基板上に供給されている。そして、クロック信号 CL と

(3)

3

逆位相クロック信号 CL_{INV} は、まず供給線 $P1$ 、 $P1'$ を介して液晶装置用基板内のインバータ $I1$ 、 $I3$ に供給され、次にインバータ $I2$ 、 $I4$ を介して各駆動回路に供給されている。

【0005】このような回路を用いた場合、図19

(b)に示されるように供給線 $P1$ と $P1'$ との間に位相差 T が発生してしまい、これはインバータ $I1$ 、 $I3$ 、更にはインバータ $I2$ 、 $I4$ を経た後においても解消されることがない。即ち、図19(b)に示すように、インバータ $I1$ とインバータ $I2$ 、及びインバータ $I3$ とインバータ $I4$ の間の接続線 $P2$ 、 $P2'$ において、更には、インバータ $I2$ 、 $I4$ の出力部に接続された供給線 $P3$ 、 $P3'$ において、クロック信号 CL 及び該クロック信号 CL に対して位相差 T を有する逆位相クロック信号 CL_{INV} が伝搬されることになってしまうのである。そのため、データ線駆動回路101及び走査線駆動回路104を構成するシフトレジスタにおいては、クロック信号 CL と逆位相クロック信号 CL_{INV} との間に一旦位相差 T が発生すると、信号波形の劣化が生ずることになり、正常にスタート信号 SP （後述するデータ線駆動回路101を制御するためのスタート信号を SPX と表記し、走査線駆動回路104を制御するためのクロック信号を SPY と表記する）を各段に転送することができず、誤動作が引き起こされるという問題がある。また、このような問題は、走査線駆動回路104のシフトレジスタにおいても同様である。

【0006】さらに、クロック信号 CL と逆位相クロック信号 CL_{INV} を供給する供給線を液晶装置用基板上に引き回すと、クロック信号の供給線の容量によりクロック信号 CL と逆位相クロック信号 CL_{INV} が劣化し、適切な波形が得られず、その結果正常に前記駆動信号を各段へ転送することができず、誤動作が引き起こされるという問題がある。

【0007】本発明は上述した問題点を鑑みなされたものであり、確実にクロック信号及び該クロック信号の逆位相クロック信号の位相差を補正して、走査線駆動回路及びデータ線駆動回路を良好に動作させることのできる電気光学装置の駆動回路、電気光学装置、及び電子機器を提供することを課題としている。

【0008】

【課題を解決するための手段】請求項1に記載の電気光学装置の駆動回路は、前記課題を解決するために、画像信号が供給される複数のデータ線と、走査信号が供給される複数の走査線と、前記各データ線及び前記各走査線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを備えた電気光学装置の駆動回路であって、クロック信号と該クロック信号に対して逆位相のクロック信号とに基づいて、所定の信号の転送を行うシフトレジスタを有する駆動手段と、前記駆動手段に前記クロック信号及び前記逆位相のクロック信号を

4

夫々供給する入力部からの入力クロック信号位相差補正手段を介して前記駆動手段に供給されてなることを備えることを特徴とする。

【0009】請求項1に記載の電気光学装置の駆動回路によれば、クロック信号及び逆位相のクロック信号は、夫々クロック信号の供給線及び該クロック信号の逆位相のクロック信号の入力部により駆動手段に供給されるが、これらの信号線の間にはクロック信号位相差補正手段が備えられている。従って、当該クロック信号位相差補正手段は、例えば液晶装置の外部から入力されるクロック信号の入力部は、共通のクロック信号位相差補正手段を介して前記駆動手段に供給されているため、前記駆動手段のシフトレジスタの各段に対して夫々設ける必要がない。従って、電気光学装置の駆動回路の小型化を図ることができ、また画素の微細化が可能となり、高精細な電気光学装置を提供できる。さらには、駆動手段には、位相差の補正されたクロック信号及び逆位相クロック信号が供給されることになり、シフトレジスタによる信号の転送が誤動作無く行われることになる。

【0010】請求項2に記載の電気光学装置の駆動回路は、前記課題を解決するために、請求項1に記載の電気光学装置の駆動回路において、前記クロック信号位相差補正手段は、前記クロック信号及び前記逆位相クロック信号の入力部に夫々接続され、入力信号の極性を反転させる第1及び第2の論理手段の夫々の出力部と、互いに他方の入力部とを接続した信号帰還手段と、前記信号帰還手段の前記第1及び第2の論理手段の夫々の出力部に接続された信号伝搬手段とを備えていることを特徴とする。

【0011】請求項2に記載の電気光学装置の駆動回路によれば、クロック信号は入力部により第1の論理手段に入力され、また逆位相クロック信号は供給線により第2の論理手段に入力される。クロック信号は前記第1の論理手段により極性の反転したクロック信号、即ち逆位相クロック信号となって前記第1の論理手段から出力され、同様に前記逆位相クロック信号は前記第2の論理手段により極性の反転した前記クロック信号となって前記第2の論理手段から出力される。そして、前記第1の論理手段の出力部は、前記第2の論理手段の入力部に接続され、また、前記第2の論理手段の出力部は前記第1の論理手段の入力部に接続される。従って、前記第1の論理手段から出力される前記逆位相クロック信号は、前記逆位相クロック信号の入力部から供給される逆位相クロック信号と共に前記第2の論理手段に入力され、同様に前記第2の論理手段から出力される前記クロック信号は、クロック信号の入力部から供給されるクロック信号と共に、前記第1の論理手段に入力されることになる。つまり、前記第1及び第2の論理手段においては、前記クロック信号と前記逆位相クロック信号について正帰還がかけられることになり、前記夫々の供給線から供給さ

(4)

5

れるクロック信号と逆位相クロック信号の位相差が無くなるように補正が行われる。

【0012】そして、以上のようにして互いの位相差が無くなったクロック信号及び逆位相クロック信号は、前記第1及び第2の論理手段に接続された信号伝搬手段に入力され、該信号伝搬手段によりクロック信号及び逆位相クロック信号の供給線を介して前記駆動手段に供給されることになる。従って、前記第1及び第2の論理手段の夫々の出力部に付加される容量は、前記第1及び第2の論理手段と前記信号伝搬手段との間の接続経路と、前記第1及び第2の論理手段の前記正帰還の経路とではほぼ等しくなり、容量差に基づく前記第1及び第2の論理手段の出力部の電位の変動を防ぐ。その結果、前記第1及び第2の論理手段による前記正帰還のための信号駆動能力が良好に維持され、前記位相差をほぼ完全に無くすることができ、前記駆動手段の誤動作を確実に防止することができる。

【0013】請求項3に記載の電気光学装置の駆動回路は、前記課題を解決するために、請求項1または請求項2に記載の電気光学装置の駆動回路において、前記クロック信号位相差補正手段の少なくとも2本の配線の容量値は、略一定であることを特徴とする。

【0014】請求項3に記載の電気光学装置の駆動回路によれば、更にクロック信号位相差補正手段の少なくとも2本の配線の容量値は略一定である。つまり、クロック信号の供給線から前記第1の論理手段まで、更に前記第1の論理手段から正帰還経路を通らずに前記信号伝搬手段に至る配線経路と、前記クロック信号の供給線から前記正帰還用の配線経路を通して前記第2の論理手段に接続された前記信号伝搬手段に至る配線経路とは、互いの配線の容量値が略一定である。前記第2の論理手段側の配線経路も同様である。従って、各配線の分岐点に付加される容量は、あらゆる点で略一定であり、各分岐点の電位の変動を確実に防止するので、クロック信号位相差補正手段は安定して動作することになる。

【0015】請求項4に記載の電気光学装置の駆動回路は、前記課題を解決するために、請求項2または請求項3に記載の電気光学装置の駆動回路において、前記クロック信号位相差補正手段は、前記信号帰還手段に信号を伝搬させる第1バッファ回路と、前記信号帰還手段としての双安定回路と、前記信号伝搬手段としての第2バッファ回路とからなることを特徴とする。

【0016】請求項4に記載の電気光学装置の駆動回路によれば、外部のクロック信号の供給部から供給されるクロック信号は、まず、第1バッファ回路により波形のなまりが補正され、双安定回路に供給される。次に双安定回路においては、正帰還作用によりクロック信号と逆位相クロック信号との位相差が補正される。そして、双安定回路から出力されるクロック信号及び逆位相クロック信号は、第2バッファ回路を介して駆動手段のシ

6

フトレジスタに供給されるので、第2バッファ回路の出力端以降に付加される容量が増大する場合でも、前記双安定回路の駆動能力を低下させることがない。従って、前記シフトレジスタには位相差が補正されたクロック信号と逆位相クロック信号が確実に供給されることになり、シフトレジスタの誤動作が確実に防止される。

【0017】請求項5に記載の電気光学装置の駆動回路は、前記課題を解決するために、請求項4に記載の電気光学装置の駆動回路において、前記双安定回路はNAND回路により形成されていることを特徴とする。

【0018】請求項5に記載の電気光学装置の駆動回路によれば、クロック信号の供給線から供給されるクロック信号は、前記クロック信号位相差補正手段の前記信号帰還手段に備えられた第1の論理手段としてのNAND回路に入力される。一方、逆位相クロック信号の入力部から供給された逆位相クロック信号は、前記クロック信号位相差補正手段の前記信号帰還手段に備えられた第2の論理手段としてのNAND回路に入力される。そして、これらの2つのNAND回路は、双安定回路を形成しており、第1の論理手段としてのNAND回路の出力は第2の論理手段としてのNAND回路に入力され、同様に第2の論理手段としてのNAND回路の出力は第1の論理手段としてのNAND回路に入力される。従って、前記クロック信号と前記逆位相クロック信号との間に位相差がある場合でも、前記NAND回路で形成された双安定回路に入力される前記クロック信号と前記逆位相クロック信号とが、互いに極性の反転した信号となるタイミングにて、前記NAND回路で形成された双安定回路の二つの出力から、入力信号の極性を反転させた信号が得られる。このように、前記NAND回路で形成された双安定回路によって前記クロック信号と前記逆位相クロック信号との間の前記位相差が解消されることになる。しかも、上述したように、前記双安定回路の出力部には前記信号伝搬手段が接続されているため、前記NAND回路で形成された双安定回路における正帰還動作を確実に行わせ、前記位相差をほぼ完全に無くすることができる。

【0019】請求項6に記載の電気光学装置の駆動回路は、前記課題を解決するために、請求項4に記載の電気光学装置の駆動回路において、前記双安定回路はNOR回路により形成されていることを特徴とする。

【0020】請求項6に記載の電気光学装置の駆動回路によれば、クロック信号の供給線から供給されるクロック信号は、前記クロック信号位相差補正手段の前記信号帰還手段に備えられた第1の論理手段としてのNOR回路に入力される。一方、逆位相クロック信号の入力部から供給された逆位相クロック信号は、前記クロック信号位相差補正手段の前記信号帰還手段に備えられた第2の論理手段としてのNOR回路に入力される。そして、これらの2つのNOR回路は、双安定回路を形成してお

(5)

7

り、第1の論理手段としてのNOR回路の出力は第2の論理手段としてのNOR回路に入力され、同様に第2の論理手段としてのNOR回路の出力は第1の論理手段としてのNOR回路に入力される。従って、前記クロック信号と前記逆位相クロック信号との間に位相差がある場合でも、前記NOR回路で形成された双安定回路に入力される前記クロック信号と前記逆位相クロック信号とが、互いに極性の反転した信号となるタイミングにて、前記NOR回路で形成された双安定回路の二つの出力から、入力信号の極性を反転させた信号が得られる。このように、前記NOR回路で形成された双安定回路によって前記クロック信号と前記逆位相クロック信号との間の前記位相差が解消されることになる。しかも、上述したように、前記双安定回路の出力部には前記信号伝搬手段が接続されているため、前記NOR回路で形成された双安定回路における正帰還動作を確実に行わせ、前記位相差を完全に無くすることができる。

【0021】請求項7に記載の電気光学装置の駆動回路は、前記課題を解決するために、請求項1乃至請求項6のいずれか一項に記載の電気光学装置の駆動回路において、前記駆動手段は、前記データ線または走査線の両端側に夫々設けられており、前記クロック信号位相差補正手段は、クロック信号の入力部と前記夫々の駆動手段との間に、夫々独立に設けられていることを特徴とする。

【0022】請求項7に記載の電気光学装置の駆動回路によれば、前記クロック信号位相差補正手段は、前記データ線または走査線の一方の側の駆動手段とクロック信号入力部との間、及び前記データ線または走査線の他方の側の駆動手段とクロック信号入力部との間の夫々に独立して設けられている。従って、前記各駆動手段と前記クロック信号位相差補正手段との間のクロック信号の供給線または逆位相クロック信号の供給線の長さは、クロック信号位相差補正手段を一つだけ設けた場合に比べて短くて済み、前記クロック信号位相差補正手段の前記信号伝搬手段の出力部に付加される容量の低減が図られる。従って、前記クロック信号または逆位相クロック信号を供給するトランジスタ等の供給手段の駆動負荷を軽減することができる。また、容量の低減により、クロック信号及び逆位相クロック信号の波形劣化をも防ぐことができ、良好な波形の信号による前記駆動手段の確実な駆動を保証することができる。

【0023】請求項8に記載の電気光学装置の駆動回路は、前記課題を解決するために、請求項1乃至請求項7のいずれか一項に記載の電気光学装置の駆動回路において、前記シフトレジスタは、N(1, 2, 3, ...)系列で駆動されるシフトレジスタであり、前記クロック信号位相差補正手段は、夫々のシフトレジスタに対応してN個備えられていることを特徴とする。

【0024】請求項8に記載の電気光学装置の駆動回路によれば、シフトレジスタが、N(1, 2, 3, ...)系

8

列で駆動される場合には、各系列毎にクロック信号及び逆位相クロック信号が供給されることになるが、前記クロック信号位相差補正手段は、夫々のシフトレジスタに対応してN個備えられているで、夫々の系列において確実にクロック信号及び逆位相クロック信号の位相差を補正し、夫々の系列におけるシフトレジスタの誤動作を確実に防止する。

【0025】請求項9に記載の電気光学装置は、前記課題を解決するために、請求項1乃至請求項8のいずれか一項に記載の電気光学装置の駆動回路と、前記電気光学装置とを備えたことを特徴とする。

【0026】請求項9に記載の電気光学装置によれば、請求項1乃至請求項8のいずれか一項に記載の電気光学装置の駆動回路を備えているので、位相の揃ったクロック信号と逆位相クロック信号により、駆動手段のシフトレジスタを誤動作なく確実に動作させることができ、電気光学装置の一例である液晶装置等の表示を良好に実現することができる。更に、前記位相差を無くするためのクロック信号位相差補正手段は、前記シフトレジスタの各段に設けるのではなく、前記クロック信号または逆位相クロック信号の供給部と、前記駆動手段の間に設けられているので、シフトレジスタのレイアウト面積を減少させることができ、その結果周辺回路の高集積化を図ることができる。従って、高精細な電気光学装置を有した超小型の液晶装置が提供される。

【0027】請求項10に記載の電子機器は、前記課題を解決するために、請求項9の電気光学装置を備えたことを特徴とする。

【0028】請求項10に記載の電子機器によれば、電子機器は、上述した本願発明の電気光学装置を備えており、位相の揃ったクロック信号と逆位相クロック信号に基づく良好な表示を実現することができる。更に、前記電気光学装置においては、前記位相の差を無くするためのクロック信号位相差補正手段が、前記シフトレジスタの各段に設けるのではなく、前記クロック信号または逆位相クロック信号の入力部と、前記駆動手段との間に設けられているので、高精細な電気光学装置を有した超小型の液晶装置により、電子機器の小型化を実現することができる。

【0029】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにする。

【0030】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0031】(液晶装置の構成)本発明による電気光学装置の一例である液晶装置の実施の形態の構成及び動作について、図1に基づいて説明する。図1は、液晶装置の複数の画素を示した等価回路図である。

【0032】まず、本実施の形態による液晶装置の画面表示領域を構成するマトリクス状に形成された複数の画

(6)

9

素は、図1に示すように、スイッチング素子として、例えばTFT30がマトリクス状に複数形成されており、画像信号を供給するデータ線35が当該TFT30のソースに電気的に接続されている。データ線35に書き込む画像信号は、夫々のデータ線35に対してS1, S2, ..., Snの順に線順次に供給しても構わないし、隣接する複数のデータ線35同士に対してグループ毎に供給するようにしても良い。また、前記TFT30のゲートには走査信号を供給する走査線31が電気的に接続されており、走査線31を構成する各走査線Y1, Y2, ..., Ymには、走査信号を所定のタイミングでパルスのように構成されている。また、TFT30のドレインには、画素電極11が電気的に接続されており、スイッチング素子であるTFT30を一定期間だけオン状態とすることにより、データ線35から供給される画素信号が所定のタイミングで画素電極11に書き込まれる。この画素電極11を介して液晶に書き込まれた所定レベルの画像信号は、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。液晶は、印加される電圧レベルに応じて分子集団の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。

【0033】このような液晶装置用基板には、上述した構成要素に加えて、走査線駆動回路、データ線駆動回路、サンプリング回路などのTFTを備えた各種の周辺回路が設けられる場合がある。

【0034】例えば、図1に示す例では、走査信号を走査線31に供給する走査線駆動回路104、サンプリング回路301に対して駆動信号を供給するデータ線駆動回路101、及びオン状態の時に画像信号をデータ線35に供給するサンプリング回路301が液晶装置用基板に設けられている。

【0035】前記データ線駆動回路101及び走査線駆動回路104には、各々シフトレジスタが備えられている。前記データ線駆動回路101は、画像信号を前記データ線35に書き込ませるための駆動信号が、シフトレジスタの各出力段から順次出力されるように構成されている。また、走査線駆動回路104は、前記走査線31に書き込ませる走査信号が、シフトレジスタの各出力段から順次出力されるように構成されている。

【0036】これらのシフトレジスタは、後述するように、各段にクロックドインバータまたはトランスマッションゲート等のゲート手段を備えており、一段毎に交互にクロック信号または当該クロック信号と逆位相のクロック信号（逆位相クロック信号）を入力することにより、クロック信号の半周期に同期したタイミングで、前記データ線また走査線に対する駆動信号を順次転送するように構成されている。

【0037】本実施の形態の液晶装置は、図1に示すよ

10

うに、さらにクロック信号及び逆位相クロック信号を供給する入力部であるCLX及びCLX_{INV}とデータ線駆動回路101のシフトレジスタを有する駆動手段との間に、クロック位相差補正回路500が設けられており、前記外部の制御回路から供給されるクロック信号CLX及び逆位相クロック信号CLX_{INV}の位相を、当該クロック位相差補正回路500によって合わせ、その後に前記データ線駆動回路101に供給するように構成している。

【0038】同様に、走査線駆動回路104においても、CLY及びCLY_{INV}と走査線駆動回路104のシフトレジスタを有する駆動手段との間に、クロック位相差補正回路500が設けられており、前記外部の制御回路から供給されるクロック信号CLY及び逆位相クロック信号CLY_{INV}の位相を、当該クロック位相差補正回路500によって合わせ、その後に前記走査線駆動回路104に供給するように構成している。

【0039】従って、前記データ線駆動回路101及び走査線駆動回路104の誤動作を生じさせることなく各画素への良好な画像信号の書き込み動作が行われる。以下、本実施の形態のクロック信号位相差補正回路の構成及び動作について更に詳しく説明する。

【0040】（クロック位相差補正回路の構成）本実施の形態では、図1に示すように、双安定回路を有するクロック信号位相差補正回路500を、液晶装置用基板に設け、クロック信号CLと逆位相クロック信号CL_{INV}の位相を合わせるように構成されている。

【0041】本実施の形態のクロック信号位相差補正回路500の基本構成は、図2(a)に示すように、第1バッファ回路501と、双安定回路502と、第2バッファ回路503とから構成されており、各回路はインバータ501a, 501b, 502a, 502b, 503a, 503bにより構成されている。

【0042】図2(b)に示すように、クロック信号CLが逆位相クロック信号CL_{INV}に対し、R1及びR1'の地点で期間Tだけ位相差が生じたとしても、本実施の形態における双安定回路502により、位相差が補正され、当該双安定回路502から出力した地点R3及びR3'では位相差が発生しない。

【0043】前記クロック信号位相差補正回路500では、インバータ501a, 501bから構成されるバッファ回路501において、クロック信号CLと逆位相クロック信号CL_{INV}を供給する回路におけるトランジスタは、の駆動能力を補うと共に、双安定回路502の一方のインバータ502aの出力を他方のインバータ502bの入力に、また他方のインバータ502bの出力を前記一方のインバータ502aの入力に夫々供給することによって、夫々のインバータ502a, 502bの入力信号に正帰還をかけて前記位相差を無くす構成となっている。

(7)

11

【0044】また、本実施の形態のクロック信号位相差補正回路500においては、双安定回路502の後に、第2バッファ回路503を設けており、この第2バッファ回路503の働きにより、双安定回路502の駆動能力の低下を防止している。つまり、双安定回路502からクロック信号線を引き回すことにより各駆動回路にクロック信号CLと逆位相クロック信号CL_{INV}を供給した場合には、クロック信号線の容量により、クロック信号CLと逆位相クロック信号CL_{INV}が劣化することが考えられる。しかし、本実施の形態においては、双安定回路502の駆動能力の低下は第2バッファ回路503により防止され、クロック信号CLと逆位相クロック信号CL_{INV}が良好に各駆動回路に供給されることになる。

【0045】また、クロック信号線の容量に起因する信号劣化を防止するためには、シフトレジスタの各段にクロック信号位相差補正回路を設けることも考えられるが、本実施の形態のように双安定回路502の後に第2バッファ回路503を設けることにより、シフトレジスタを構成するラッチ回路の1段毎にクロック信号位相差補正回路を設けなくても、位相差の良好に補正されたクロック信号と逆位相クロック信号を駆動回路に供給することができる。従って、駆動回路のレイアウト面積を増大させず、液晶装置の小型化を実現することができる。

【0046】上述のクロック位相差補正回路の構成の変形例を図3(a)、(b)を用いて説明する。

【0047】図3(a)、(b)の夫々の双安定回路502はNAND回路502c、502d、またはNOR回路502e、502fで構成されている点以外は図2に示した本実施の形態と構成は同じである。

【0048】図3(a)に示すNAND回路502c、502dを用いた場合には、クロック信号CLと逆位相クロック信号CL_{INV}の位相差により、共にハイレベル信号となる期間、あるいは共にローレベル信号となる期間が存在しても、その後クロック信号CLまたは逆位相クロック信号CL_{INV}の極性が変化するタイミングにて、NAND回路502c、502dの出力が同時に変化する。例えば、NAND回路502cの入力信号d1がハイレベルで、d3がローレベルの時には、NAND回路502cの出力信号d2はハイレベルとなり、これによってNAND回路502dの入力信号d4がハイレベルとなり、もう一方の入力信号d6がハイレベル信号であるとする、NAND回路502dの出力信号d5はローレベル信号となる。このような場合、NAND回路502c、502dの出力信号は、最初のこのような各信号の状態から、入力信号d6がローレベル信号に変化したとすると、NAND回路502dの出力信号d5はハイレベルに変化し、これに伴ってNAND回路502cの入力信号d3もハイレベルに変化す

12

る。従って、NAND回路502cの出力信号d2はローレベルに変化し、全ての信号の状態が安定する。このように、クロック信号CLと逆位相クロック信号CL_{INV}の位相差により、共にハイレベル信号となる期間、あるいは共にローレベル信号となる期間が存在しても、その後何れかの信号の極性が反転するタイミングでNAND回路502c、502dの出力信号d2、d5が同時に変化し、入力段階で存在したクロック信号CLと逆位相クロック信号CL_{INV}の位相差を解消することができる。

【0049】また、図3(b)に示すように、双安定回路をNOR回路502e、502fで構成した場合でも、NAND回路502c、502dと同様に動作することになる。

【0050】このように、双安定回路502をNAND回路またはNOR回路で構成することにより、位相差の無いクロック信号CLと逆位相クロック信号CL_{INV}によりデータ線駆動回路101または走査線駆動回路104を駆動することができる、誤動作のない液晶装置を提供することができる。

【0051】(クロック信号位相差補正回路500の詳細構成) 上述の本実施の形態のような構成を採った場合には、図4に示す第2バッファ回路503のインバータ回路503a、503bのオン抵抗は、できる限り低い値に設定するのが好ましい。なぜならば、最終段のインバータ回路503a、503bのオン抵抗が高いと、出力信号がなまり、シフトレジスタ401のクロックドインバータに印加される信号の電圧が低下して、シフトレジスタ401を駆動できなくなるためである。従って、第2バッファ回路503に電気的に接続されたクロック信号線の負荷と駆動周波数に対して、インバータ回路503a、503bが十分な駆動能力を有するように設計する必要がある。

【0052】また、図4に示すインバータA、B、CまたはA'、B'、C'により構成される信号伝送経路の容量負荷と、インバータA、C'またはA'、Cにより構成される信号伝送経路の容量負荷とが同じになるように設計することが好ましい。従って、インバータA、A'、B、B'のサイズはほぼ同じに設計することが好ましい。これは、どちらかの経路の電位が支配的にならないようにして、確実に位相差補正を行えるようにするためである。

【0053】また、クロック信号位相差補正回路500の第2バッファ回路503を構成するインバータ回路503a、503bは1段でも良いし、クロック信号線及び逆位相クロック信号線に付加される容量が大きい場合には、例えば図5に示すように、何段かインバータ回路をカスケード接続した後、クロック信号線及び逆位相クロック信号線に接続するように構成しても良い。この際、カスケード接続されるインバータ回路は、前段のイ

(8)

13

ンバータ回路のサイズに対して約2〜4倍の大きさになるように設計する。CMOSのカスケードの場合に、自段のインバータ回路に対して電氣的に接続される次段のインバータ回路のサイズを約 e (2.72) 倍になるようにすると、第2バッファ回路503の総遅延時間を最小にすることができる(e 倍の定理)。例えば、図5の例では、インバータD (D') はインバータC (C') $\times e$ (2.72) 倍のサイズに形成すると良い。また、インバータE (E') はインバータD (D') $\times e$ (2.72) 倍のサイズに形成すると良い。更に、この時、最終段のインバータE (E') のオン抵抗はできるだけ小さくなるように形成するのが好ましい。

【0054】(駆動回路の構成) 上述の実施の形態のクロック信号位相差補正回路と、当該クロック信号位相差補正回路に接続されるデータ線駆動回路との構成の一例について図6乃至図7を参照して説明する。

【0055】図6に示すように、データ線駆動回路101は、シフトレジスタ401とバッファ回路402と、サンプリング回路駆動信号の選択回路403とを含んで構成される。

【0056】本実施の形態では、シフトレジスタ401は、図6に示すAからBへ向かう方向に対応する転送方向で、シフトレジスタ401の各段からサンプリング回路駆動信号を順次出力し、選択回路403あるいはバッファ回路402を介してサンプリング回路301に供給する機能を有している。

【0057】尚、走査線駆動回路104については図示を省略するが、データ線駆動回路101と同様なシフトレジスタと選択回路とバッファ回路等を備えて構成されている。

【0058】またシフトレジスタ401は、例えば、図6に示すように、クロックドインバータ130、132と、インバータ131により構成されている。

【0059】クロックドインバータ130は入力信号線107に供給されるスタート信号SPXをクロック信号CLXに同期して取り込む機能を有する。また、インバータ131は取り込んだ信号を出力信号線108から出力信号として伝搬させる機能を有し、更にクロックドインバータ132はクロック信号CLXと逆位相クロック信号CLX_{INV}に同期してインバータ131からの出力信号をインバータ131の信号入力側に帰還させる機能を有している。

【0060】シフトレジスタ401を構成するラッチ回路の各段は、以上のようなクロックドインバータとインバータを組み合わせた回路から構成されており、かつ、隣り合う段のクロックドインバータに入力されるクロック信号は前段のクロック信号と逆位相のクロック信号なので、1段目において図7に示すタイミングt0で取り込まれ、出力される信号は、2段目においてはクロック

14

信号CLXの半周期ずれたタイミングt1において取り込まれ、2段目においてもスタート信号SPXと同じ幅の出力信号が得られる。以下、各段において次々にクロック信号CLXの半周期ずれたタイミングでの信号の取り込みと、クロック信号CLXの1周期分と同じ幅の信号の出力が行われるため、スタート信号SPXは、順次クロック信号CLXの半周期ずつずれたタイミングで転送されることになる。

【0061】そして、以上のような各段から出力されるクロック信号CLXの半周期ずつずれたパルス信号は、選択回路403及びバッファ回路402を介してサンプリング回路駆動信号として波形成形される。選択回路403は、図6に示すようにNAND回路を備えており、対応するシフトレジスタ401の出力段からの出力信号と共に、次段の出力段の出力信号が前記NAND回路に入力されるように構成されている。従って、サンプリング回路301のTFT302に対しては、図7に示すように、隣り合う出力段の出力信号が共にハイレベルになる期間において、ハイレベルとなるパルス状の駆動信号がQ1〜Qmの順に順次出力されることになる。

【0062】本実施の形態では、以上のようなデータ線駆動回路101を備えているため、たとえドット周波数が非常に高い場合でも、シフトレジスタ401に供給するクロック信号CLX及び逆位相クロック信号CLX_{INV}の周波数を低減させつつ、サンプリング回路301の各TFT302には必要十分なサンプリング期間を与えることができ、画像信号VID1〜VID6のデータ線35に対する確実な書き込みを実現することができる。また、データ線駆動回路101と同様に構成される走査線駆動回路104においても、走査線31に対する走査信号の確実な書き込みを行うことができ、その結果、良好な表示動作を行うことができる。

【0063】(液晶装置の構成) 次に、上述のクロック信号位相差補正500を備えた液晶装置の具体的な構成例について図8及び図9を用いて詳しく説明する。図8及び図9は、それぞれ液晶装置の実施の形態における液晶装置用基板上に設けられた各種配線、周辺回路等の構成を示すブロック図である。

【0064】図8において、液晶装置10は、例えば石英基板、ハードガラス、シリコン基板等からなる液晶装置用基板1を備えている。液晶装置用基板1上には、マトリクス状に設けられた複数の画素電極11と、X方向に複数配列されており夫々がY方向に沿って伸びるデータ線35と、Y方向に複数配列されており夫々がX方向に沿って伸びる走査線31と、各データ線35と画素電極11との間に夫々介在すると共に該間における導通状態及び非導通状態を、走査線31を介して夫々供給される走査信号に応じて夫々制御する画素駆動手段の一例としての複数のTFT30とが形成されている。また、液晶装置用基板1上には、蓄積容量のための配線である容

(9)

15

量線 31' が、走査線 31 に沿ってほぼ平行に、あるいは前段の走査線下を利用して形成されている。

【0065】液晶装置用基板 1 上には更に、複数のデータ線 35 に所定電圧レベルのプリチャージ信号を画像信号に先行して夫々供給するプリチャージ回路 201 と、画像信号をサンプリングして複数のデータ線 35 に夫々供給するサンプリング回路 301 と、データ線駆動回路 101 と、走査線駆動回路 104 とが形成されている。

【0066】走査線駆動回路 104 は、シフトレジスタを備えて構成されており、外部制御回路（図示せず）から供給される正電源 VDDY 及び負電源 VSSY、スタート信号 SPY、基準クロック信号 CLY 及び逆位相のクロック信号 CLY_{INV} 等に基づいて、走査線 31 に対し走査信号を所定タイミングで線順次に印加する。

【0067】また、データ線駆動回路 101 も同様に、シフトレジスタを備えて構成されており、外部制御回路（図示せず）から供給される正電源 VDDX 及び負電源 VSSX、基準クロック信号 CLX 及び逆位相のクロック信号 CLX_{INV}、スタート信号 SPX 等に基づいて、画像信号 VID1～VID6 をサンプリングするために、データ線 35 毎にサンプリング回路駆動信号をパルスの線順次に印加する。このサンプリング回路駆動信号は、走査線駆動回路 104 が走査信号を印加するタイミングに合わせて、サンプリング回路駆動信号線 306 を介して供給される。

【0068】また、共通電極電位信号 LCCOM は後述するように、上下導通材 106 に供給され、上下導通材 106 を介して対向基板（図示せず）に形成される共通電極（図示せず）に印加される。

【0069】次に、プリチャージ回路 201 は、TFT 202 を各データ線 35 毎に備えており、プリチャージ信号線 204 が TFT 202 のソース電極に接続されており、プリチャージ回路駆動信号線 206 が TFT 202 のゲート電極に接続されている。そして、プリチャージ信号線 204 を介して、外部電源からプリチャージ信号 NRS を書き込むために必要な所定電圧の電源が供給され、プリチャージ回路駆動信号線 206 を介して、各データ線 35 について画像信号に先行するタイミングでプリチャージ信号 NRS を書き込むように、外部制御回路からプリチャージ回路駆動信号 NRG が供給される。プリチャージ回路 201 は、好ましくは中間階調レベルの画像信号に相当するプリチャージ信号（画像補助信号）を供給する。

【0070】サンプリング回路 301 は、TFT 302 を各データ線 35 毎に備えており、TFT 302 のソース電極には、画像信号線 304 が接続されている。また、TFT 302 のゲート電極には、サンプリング回路駆動信号線 306 が接続されている。従って、データ線駆動回路 101 からサンプリング回路駆動信号線 306 を介してサンプリング回路駆動信号が入力された TFT

16

302 は導通状態となり、外部制御回路（図示せず）から画像信号線 304 を介して供給される画像信号 VID1～VID6 が各データ線 35 に書き込まれることになる。

【0071】そして、本実施の形態では、隣接する 6 つの TFT 302 のゲート電極に対して同時にサンプリング回路駆動信号を印加し、複数のデータ線 35 をグループ毎に順次選択するように構成している。また画像信号は、所定のドット周波数を有するシリアル信号として外部制御回路に入力され、当該外部制御回路において 6 相の平行信号に相展開され、6 つの画像信号 VID1～VID6 として TFT 302 を介してデータ線 35 に供給される。

【0072】このように複数の画像信号線 304 を用いて画像信号を相展開するのは、画像信号のドット周波数が速い場合でもシフトレジスタの駆動周波数を低減させるためである。シフトレジスタの駆動周波数を低減させることができれば、シフトレジスタにクロック信号を供給する外部制御回路の負荷を軽減することができ、また、シフトレジスタの消費電流を低く抑えることができる。更にはシフトレジスタを構成する TFT の寿命も延ばすことができる。

【0073】画像信号の相展開数は、サンプリング回路 301 を構成する TFT 302 の書き込み能力で決定される。画像信号の相展開数には制約がないが、画像信号の相展開数が少ない方が外部制御回路に係るコストを低減できるという利点がある。また、同時に選択する TFT 302 の個数は、必ずしも画像信号の相展開数と等しくする必要はなく、相展開数より少ない個数としても良い。

【0074】更に、画像信号の相展開数を 3、6、12、18、24、…といった 3 の倍数に設定すれば、画像信号線 304 が 3 の倍数で形成できるため、ビデオ表示の際に有利である。これは、カラー画像信号が 3 つの色（赤、緑、青）に係る信号からなることとの関係から、3 の倍数であると、NTSC 表示や PAL 表示等のビデオ表示をする際に制御や回路を簡易化する上で好ましいからである。また、少なくとも画像信号の相展開数分だけ、画像信号線 304 が必要であることは言うまでもない。

【0075】そして、以上のように構成された本実施の形態の液晶装置 10 においては、上述したような構成のクロック信号位相差補正回路 500 を、図 8 に示すように、クロック信号 CL と逆位相クロック信号 CL_{INV} の入力部と、データ線駆動回路 101 及び走査線駆動回路 104 との間に設けている。また、クロック信号位相差補正回路 500 の配置箇所は図 8 に示した例に限られるものではない。さらに、液晶装置の別の構成例を図 9 に示す。図 9 は図 8 とほぼ同じ構成を有するが、異なる点は、走査線駆動回路 104 が走査線 31 の両側に設けら

(10)

17

れており、一方の側の走査線駆動回路104とクロック信号CLYと逆位相クロック信号CLY_{INV}の入力部との間にはクロック信号位相差補正回路500aを、他方の側の走査線駆動回路104とクロック信号CLYと逆位相クロック信号CLY_{INV}の入力部との間にはクロック信号位相差補正回路500bを夫々設けている。このように構成することにより、左右の走査線駆動回路104から走査線31へ供給される走査信号のタイミングのずれをより一層確実に防止することができる。

【0076】このようにクロック信号CLXとその逆位相クロック信号CLX_{INV}の入力部とデータ線駆動回路101との間の一箇所、及びクロック信号CLYとその逆位相クロック信号CLY_{INV}と走査線駆動回路104との間の一箇所にクロック信号位相差補正回路500を設けた構成においては、クロック信号位相差補正回路500とデータ線駆動回路101及び走査線駆動回路104との間にクロック信号線を長く引き回す場合には、クロック信号線の容量により信号が劣化することも考えられる。

【0077】しかし、上述したように、本実施の形態のクロック信号位相差補正回路500には、双安定回路502の後段に第2バッファ回路503が備えられており、更に第2バッファ回路は適切なサイズで形成されているため、本実施の形態のようにクロック信号位相差補正回路500を配置した場合でも、クロック信号位相差補正回路500の駆動能力が低下せず、クロック信号の位相の合わせ込みを確実に行うことができる。以下、本実施の形態のクロック信号位相差補正回路500の詳細な構成について説明する。なお、図9に示すクロック信号位相差補正回路500a、500bもクロック信号位相差補正回路500と同様な構成である。

【0078】また、パターンレイアウト時の例としては、クロック信号と逆位相のクロック信号の引き回し抵抗が変わってしまうと信号の位相差が生じるので、抵抗の高いポリシリコン膜（走査線と同一膜で形成）で引き回す配線はクロック信号及び逆位相クロック信号共に略同じ抵抗になるようにその線幅と長さを揃え、配線の長さが変わる部分は低抵抗なアルミニウム膜（データ線と同一膜で形成）で引き回すようにすることが好ましい。これにより、配線における抵抗差が生じないので、外部から入力されたクロック信号及び逆位相クロック信号の位相差をほぼ揃えることが可能となり、誤動作の生じない液晶装置を提供することができる。

【0079】例えば、図10は、図11に示すクロック信号位相差補正回路500のパターンレイアウト例を示す図であるが、クロック信号CLと逆位相クロック信号CL_{INV}を各インバータA、A'、B、B'、C、C'、D、D'に供給するための抵抗の高いポリシリコン膜（例えば、走査線と同一膜で形成）で引き回す配線a、a'、b、b'、c、c'、d、d'は、各インバ

18

ータ毎にその線幅と長さが揃えられており、クロック信号CLと逆位相クロック信号CL_{INV}の引き回し抵抗を変えないように構成されている。また、配線の長さが変わる部分e1～e8は低抵抗なアルミニウム膜（例えば、データ線と同一膜で形成）等で引き回すように構成されており、配線における抵抗差を生じさせることがない。

【0080】また、各インバータのサイズについては、図10に示すように、インバータA、A'、B、B'は幅w1、長さh1のサイズに形成されているが、次段のインバータC、C'は幅w1、長さh2（> h1）とインバータA、A'、B、B'よりも大きなサイズに形成されている。更に次段のインバータD、D'は幅w2（> w1）、長さh1と、インバータC、C'よりも大きなサイズに形成されている。このように、カスケード接続されるインバータ回路は、前段のインバータ回路のサイズに対して約2～4倍の大きさになるように設計している。

【0081】以上のような構成により、データ線駆動回路101または走査線駆動回路104とクロック信号と逆位相クロック信号の入力部との間にクロック信号位相差補正回路500を設けた場合でも、正帰還作用のためのインバータの駆動能力を低減させることがなく、図2（b）に示すように位相差Tが生じたクロック信号CL及び逆位相クロック信号CL_{INV}が供給された場合でも、第2バッファ回路503側の供給線R3、R3'において互いに位相差の無いクロック信号及び逆位相クロック信号を出力することができる。

【0082】さらに、クロック信号位相差補正回路500は、液晶装置10のコーナー部等に設置することができ、データ線駆動回路101及び走査線駆動回路104のレイアウト面積を増大させることなく、液晶装置10の小型化を実現することができる。特に、本実施の形態のクロック信号位相差補正回路のように、双安定回路により帰還をかける構成の場合には、相補型TFT構造のインバータ回路が必要となり、相補型TFT構造のインバータ回路は正電源と負電源を引き回す必要がある。しかし、本実施の形態においては、このように液晶装置用基板1上において比較的大きな占有面積を必要とする回路を、周辺回路の配置に影響を与えることのない液晶装置10のコーナー部等に設置することができ、周辺回路の高集積化を妨げることがない。従って、本実施の形態によれば、高集積化された周辺回路を内蔵した小型で誤動作の無い液晶装置を提供することができる。

【0083】また、図9に示すように、両方の走査線駆動回路104の夫々にクロック信号位相差補正回路500a、500bによりクロック信号を供給した場合でも、何れのクロック信号位相差補正回路500a、500bも走査線駆動回路104の配置に影響を与えない位置に設けることができるので、走査線駆動回路104の

(11)

19

高集積化を妨げることがない。

【0084】また、走査線駆動回路104に限らず、複数の駆動回路へクロック信号を供給する場合には、各々の駆動回路の前で位相補正ができるように、本発明のクロック信号位相差補正回路を設ければ良い。これにより、各々の駆動回路から出力される信号のずれを防止することができる。

【0085】なお、本実施の形態においては、夫々の駆動回路におけるシフトレジスタは夫々1系列であったが、複数の系列のシフトレジスタを用いる場合には、系列数に応じた個数のクロック信号位相差補正回路を設けることが必要である。つまり、 N ($N=1, 2, \dots$) 系列のシフトレジスタを用いる場合には、 N 個のクロック信号位相差補正回路を設けてもよい。このように構成することにより、全ての系列のシフトレジスタにおいて誤動作を防止することができる。

【0086】また、本発明は、データ線駆動回路101あるいは走査線駆動回路のシフトレジスタ動作ばかりでなく、ある信号に対してその反転信号を使って駆動する回路に対して広く効果を発揮することができる。

【0087】なお、以上に説明したようなクロック信号位相差補正回路、データ線駆動回路、サンプリング回路、又は走査線駆動回路は、夫々画素領域のTFT30と同一の薄膜形成工程で形成することができ、製造上有利である。

【0088】(液晶装置の構成) また、以上の液晶装置用基板と対向基板とを貼り合わせた液晶装置10の一例を図12及び図13に示す。図12は液晶装置全体の平面図であり、図13は図12のH-H'断面図である。図12及び図13に示されるように、プリチャージ回路201及びサンプリング回路301が、対向基板2に形成された遮光性の周辺見切り53に対向する位置において液晶装置用基板1上に設けられており、データ線駆動回路101及び走査線駆動回路104は、液晶層50に面しない液晶装置用基板1の狭く細長い周辺部分上に設けられている。

【0089】図12及び図13において、液晶装置用基板1の上には、複数の画素電極11により規定される画面表示領域(即ち、実際に液晶層50の配向状態変化により画像が表示される液晶装置の領域)の周囲において両基板を貼り合わせて液晶層50を包囲する光硬化性樹脂からなるシール材52が、画面表示領域に沿って設けられている。そして、対向基板2上における画面表示領域とシール材52との間には、遮光性の周辺見切り53が設けられている。

【0090】周辺見切り53は、後に画面表示領域に対応して開口が設けられた遮光性のケースに液晶装置用基板1が入れられた場合に、当該画面表示領域が製造誤差等により当該ケースの開口の縁に隠れてしまわないように、即ち、例えば液晶装置用基板1のケースに対する数

20

百 μm 程度のずれを許容するように、画面表示領域の周囲に少なくとも500 μm 以上の幅を持つ帯状の遮光性材料から形成されたものである。このような遮光性の周辺見切り53は、例えば、Cr(クロム)やNi(ニッケル)などの金属材料を用いたスパッタリング、フォトリソグラフィ及びエッチングにより対向基板2に形成される。或いは、カーボンやTi(チタン)をフォトリソに分散した樹脂ブラックなどの材料から形成される。また、遮光性の周辺見切り53やの遮光層23を液晶装置用基板1上に形成しても良い。この様な構成を採れば、液晶装置用基板1と対向基板2の貼り合わせ精度を無視できるため、液晶装置の透過率がばらつかない利点がある。

【0091】シール材52の外側の領域には、画面表示領域の下辺に沿ってデータ線駆動回路101及び外部からの信号入力等を行う実装端子102が設けられており、画面表示領域の左右の2辺に沿って走査線駆動回路104が画面表示領域の両側に設けられている。ここで、走査線31の駆動遅延が問題にならないような場合、走査線駆動回路104は走査線31に対して片側のみに形成しても良いし、データ駆動回路101を画面表示領域の上下の2辺に沿って両側に設けても良い。この際、例えば一方のデータ線駆動回路101には奇数列のデータ線を電氣的に接続し、もう一方のデータ線駆動回路101には偶数列のデータ線を電氣的に接続することで、上下から櫛歯状に駆動するようにしても良い。更に画面表示領域の上辺には、走査線駆動回路104に電源や駆動信号を供給するための複数の配線105が設けられている。また、対向基板2のコーナー部の少なくとも一箇所で、液晶装置用基板1と対向基板2との間で電氣的導通をとるための上下導通材106が設けられている。そして、シール材52とはほぼ同じ輪郭を持つ対向基板2が当該シール材52により液晶装置用基板1に固着されている。

【0092】また、上述した各実施の形態においては、データ線駆動回路101及び走査線駆動回路104に対して、クロック信号あるいは画像信号等を出力する外部制御回路を、液晶装置の外部に設けた場合について説明したが、本発明はこれに限られるものではなく、当該制御回路を液晶装置内に設けるようにしても良い。

【0093】特に、クロック信号については、クロック信号のみを外部制御回路から供給させ、液晶装置用基板上で逆位相クロック信号を生成する回路を設けるように構成しても良い。

【0094】以上説明した液晶装置10は、カラー液晶プロジェクタ等に適用することができるが、この場合には、3つの液晶装置10がRGB用のライトバルブとして夫々用いられ、各パネルには夫々RGB色分解用のダイクロイックミラーを介して分解された各色の光が入射光として夫々入射されることになる。従って、各実施の

(12)

21

形態では、対向基板2に、カラーフィルタは設けられていない。しかしながら、液晶装置10においても遮光層23の形成されていない画素電極11に対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板2上に形成してもよい。このようにすれば、液晶プロジェクト以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に本実施の形態の液晶装置を適用できる。

【0095】また、液晶装置に用いるスイッチング素子は、正スタガ型又はコプラナー型のポリシリコンTFTでも良いし、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対しても、本実施の形態は有効である。

【0096】更に、液晶装置においては、一例として液晶層50をネマティック液晶から構成したが、液晶を高分子中に微小粒として分散させた高分子分散型液晶を用いれば、配向膜、並びに前述の偏光フィルム、偏光板等が不要となり、光利用効率が高まることによる液晶装置の高輝度化や低消費電力化の利点を得られる。

【0097】尚、データ線駆動回路101及び走査線駆動回路104は、液晶装置用基板1の上に設ける代わりに、例えばTAB（テープオートメテッドボンディング基板）上に実装された駆動用LSIに、液晶装置用基板1の周辺部に設けられた異方性導電フィルムを介して電気的及び機械的に接続するようにしてもよい。

【0098】なお、上述した実施の形態においては、走査線駆動回路104の構成については詳述していないが、特にシフトレジスタ部分についてはデータ線駆動回路101と同様の構成を採ることができる。

【0099】（電子機器）次に、以上詳細に説明した液晶装置10を備えた電子機器の実施の形態について図14から図17を参照して説明する。

【0100】先ず図14に、このように液晶装置10を備えた電子機器の概略構成を示す。

【0101】図14において、電子機器は、表示情報出力源1000、上述した外部表示情報処理回路1002、前述の走査線駆動回路104及びデータ線駆動回路101を含む表示駆動回路1004、液晶装置10、クロック発生回路1008並びに電源回路1010を備えて構成されている。表示情報出力源1000は、ROM（Read Only Memory）、RAM（Random Access Memory）、光ディスク装置などのメモリ、テレビ信号を同調して出力する同調回路等を含んで構成され、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力する。表示情報処理回路1002は、増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック発生回路1008からのクロック信号に基づいて入力された表示情報

22

からデジタル信号を順次生成し、クロック信号CLKと共に表示駆動回路1004に出力する。表示駆動回路1004は、走査線駆動回路104及びデータ線駆動回路101によって前述の駆動方法により液晶装置10を駆動する。電源回路1010は、上述の各回路に所定電源を供給する。尚、液晶装置10を構成する液晶装置用基板の上に、表示駆動回路1004を搭載してもよく、これに加えて表示情報処理回路1002を搭載してもよい。

【0102】このような構成の電子機器として、図15に示す液晶プロジェクト、図16に示すマルチメディア対応のパーソナルコンピュータ（PC）及びエンジニアリング・ワークステーション（EWS）、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

【0103】次に図15から図17に、このように構成された電子機器の具体例を夫々示す。

【0104】図15において、電子機器の一例たる液晶プロジェクト1100は、投射型の液晶プロジェクトであり、光源1110と、ダイクロイックミラー1113、1114と、反射ミラー1115、1116、1117と、入射レンズ1118、リレーレンズ1119、出射レンズ1120と、液晶ライトバルブ1122、1123、1124と、クロスダイクロイックプリズム1125と、投射レンズ1126とを備えて構成されている。液晶ライトバルブ1122、1123、1124は、上述した駆動回路1004が液晶装置用基板上に搭載された液晶装置10を含む液晶表示モジュールを3個用意し、夫々液晶ライトバルブとして用いたものである。また、光源1110はメタルハライド等のランプ1111とランプ1111の光を反射するリフレクタ1112とからなる。

【0105】以上のように構成される液晶プロジェクト1100においては、青色光・緑色光反射のダイクロイックミラー1113は、光源1110からの白色光束のうちの赤色光を透過させるとともに、青色光と緑色光とを反射する。透過した赤色光は反射ミラー1117で反射されて、赤色光用液晶ライトバルブ1122に入射される。一方、ダイクロイックミラー1113で反射された色光のうち緑色光は緑色光反射のダイクロイックミラー1114によって反射され、緑色光用液晶ライトバルブ1123に入射される。また、青色光は第2のダイクロイックミラー1114も透過する。青色光に対しては、長い光路による光損失を防ぐため、入射レンズ1118、リレーレンズ1119、出射レンズ1120を含むリレーレンズ系からなる導光手段1121が設けられ、これを介して青色光が青色光用液晶ライトバルブ1

(13)

23

124に入射される。各ライトバルブにより変調された3つの色光はクロスダイクロックプリズム1125に入射する。このプリズムは4つの直角プリズムが貼り合わされ、その内面に赤光を反射する誘電体多層膜と青光を反射する誘電体多層膜とが十字状に形成されている。これらの誘電体多層膜によって3つの色光が合成されて、カラー画像を表す光が形成される。合成された光は、投射光学系である投射レンズ1126によってスクリーン1127上に投射され、画像が拡大されて表示される。

【0106】図16において、電子機器の他の例たるラップトップ型のパーソナルコンピュータ1200は、上述した液晶装置10がトップカバーケース内に備えられた液晶ディスプレイ1206と、CPU、メモリ、モデム等を収容すると共にキーボード1202が組み込まれた本体部1204とを有する。

【0107】また、図17に示すように、液晶装置用基板1304を構成する2枚の透明基板1304a、1304bの一方に、金属の導電膜が形成されたポリイミドテープ1322にICチップ1324を実装したTCP (Tape Carrier Package) 1320を接続して、電子機器用の一部品である液晶装置として生産、販売、使用することもできる。

【0108】以上、図15から図17を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダー型又はモニター直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、ワークステーション、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等が図14に示した電子機器の例として挙げられる。

【0109】なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の各種の液晶装置の駆動に適用されるものに限らず、エレクトロルミネッセンス、プラズマディスプレイ装置にも適用可能である。

【0110】以上説明したように、本実施の形態によれば、クロック信号と逆位相クロック信号との位相差を確実に無くすように補正しつつ、駆動回路のレイアウト面積の増大を防止することができる。従って、周辺駆動回路を画素TFと同一基板内に内蔵した画素が微細で高精細な超小型の液晶装置、当該液晶装置を備えた各種の電子機器を実現できる。

【0111】

【発明の効果】以上説明したように、本発明の電気光学装置の駆動回路によれば、クロック信号位相差補正手段を、少なくともクロック信号の供給線とデータ線または走査線の駆動手段との間に前記クロック信号位相差補正手段を設けたので、クロック信号と逆位相クロック信号との位相差を無くして前記駆動手段の誤動作を防ぐことができる。また、前記クロック信号位相差補正手段は、

24

駆動手段のシフトレジスタの各段毎に設けるのではなく、少なくともクロック信号の供給線と前記駆動手段との間に設けられるので、周辺回路の高集積化を可能とし、高精細で小型な電気光学装置の駆動回路を提供することができる。

【図面の簡単な説明】

【図1】 本発明の一実施の形態の液晶装置の複数の画素を示した等価回路図である。

【図2】 (a)は図1の液晶装置におけるクロック信号位相差補正回路の構成を示す回路図であり、(b)は(a)の回路における各位置の信号波形を示す図である。

【図3】 図1の液晶装置におけるクロック信号位相差補正回路の構成を示す回路図であり、(a)は全てインバータ回路で構成した場合、(b)は帰還部にNAND回路を用いた場合、(c)は帰還部にNOR回路を用いた場合の回路図である。

【図4】 クロック信号位相差補正回路における各信号経路の負荷容量を説明するための回路図である。

【図5】 クロック信号位相差補正回路において、第2バッファ回路を多段のインバータ回路で構成した場合の回路図である。

【図6】 図1の液晶装置におけるデータ線駆動回路の構成を示す回路図である。

【図7】 図6のデータ線駆動回路及びサンプリング回路の動作を示すタイミングチャートである。

【図8】 本発明の液晶装置用基板の一例における各種配線、周辺回路等のブロック図である。

【図9】 本発明の液晶装置用基板の他の例における各種配線、周辺回路等のブロック図である。

【図10】 図8の液晶装置のクロック信号位相差補正回路のパターンレイアウト例を示す図である。

【図11】 図9のパターンレイアウトにより構成されるクロック信号位相差補正回路を示す回路図である。

【図12】 図4の液晶装置の全体構成を示す平面図である。

【図13】 図4の液晶装置の全体構成を示す断面図である。

【図14】 本発明による電子機器の実施の形態の概略構成を示すブロック図である。

【図15】 電子機器の一例としての液晶プロジェクトを示す断面図である。

【図16】 電子機器の他の例としてのパーソナルコンピュータを示す正面図である。

【図17】 電子機器の一例としてのTCPを用いた液晶表示装置を示す斜視図である。

【図18】 (a)は従来のクロック信号位相差補正回路の構成を示す回路図であり、(b)は(a)の回路における各位置の信号波形を示す図である。

【図19】 従来の液晶装置の複数の画素を示した等価

(14)

25

26

回路図である。

【符号の説明】

1…液晶装置用基板

2…対向基板

10…液晶装置

11…画素電極

21…共通電極

23…遮光層

30…TFT

31…走査線

35…データ線

50…液晶層

52…シール材

53…周辺見切り

101…データ線駆動回路

102…実装端子

130、132…クロックドインバータ

201…プリチャージ回路

204…プリチャージ信号供給線

206…プリチャージ回路駆動信号線

301…サンプリング回路

304…画像信号線

306…サンプリング回路駆動信号線

401…シフトレジスタ

10402…バッファ回路

403…選択回路

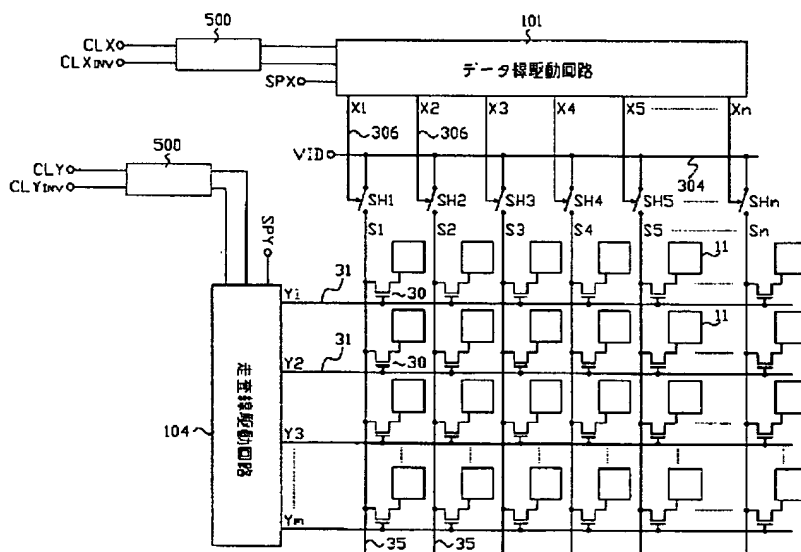
500…クロック信号位相差補正回路

501…第1バッファ回路

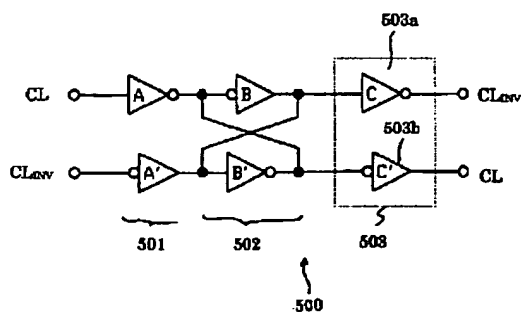
502…双安定回路

503…第2バッファ回路

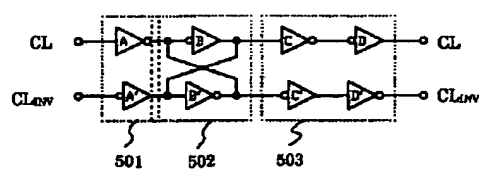
【図1】



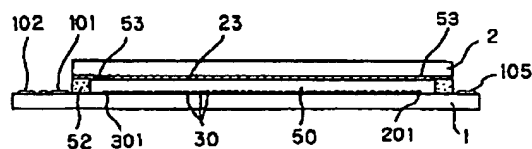
【図4】



【図11】

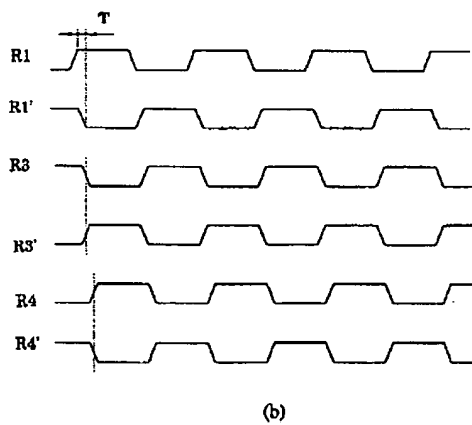
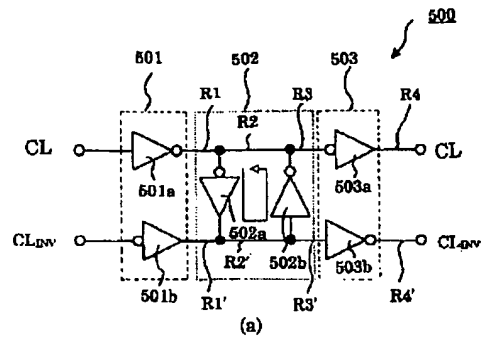


【図13】

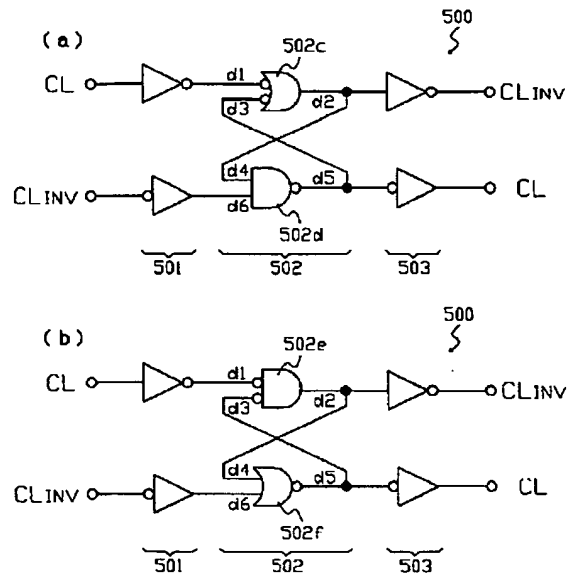


(15)

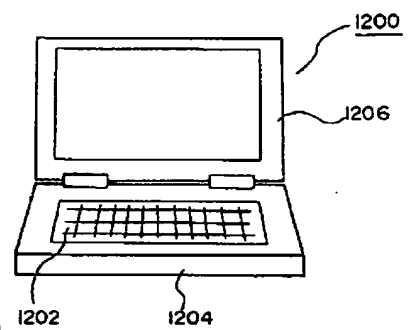
【図2】



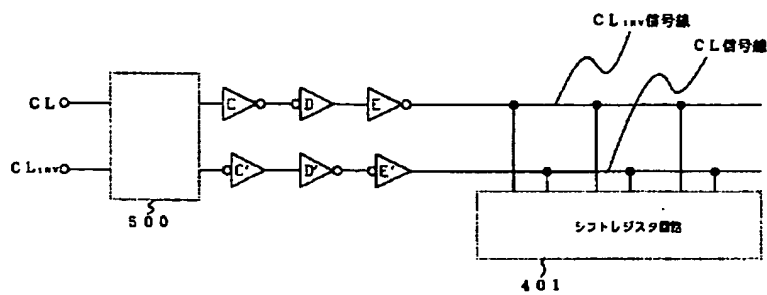
【図3】



【図16】

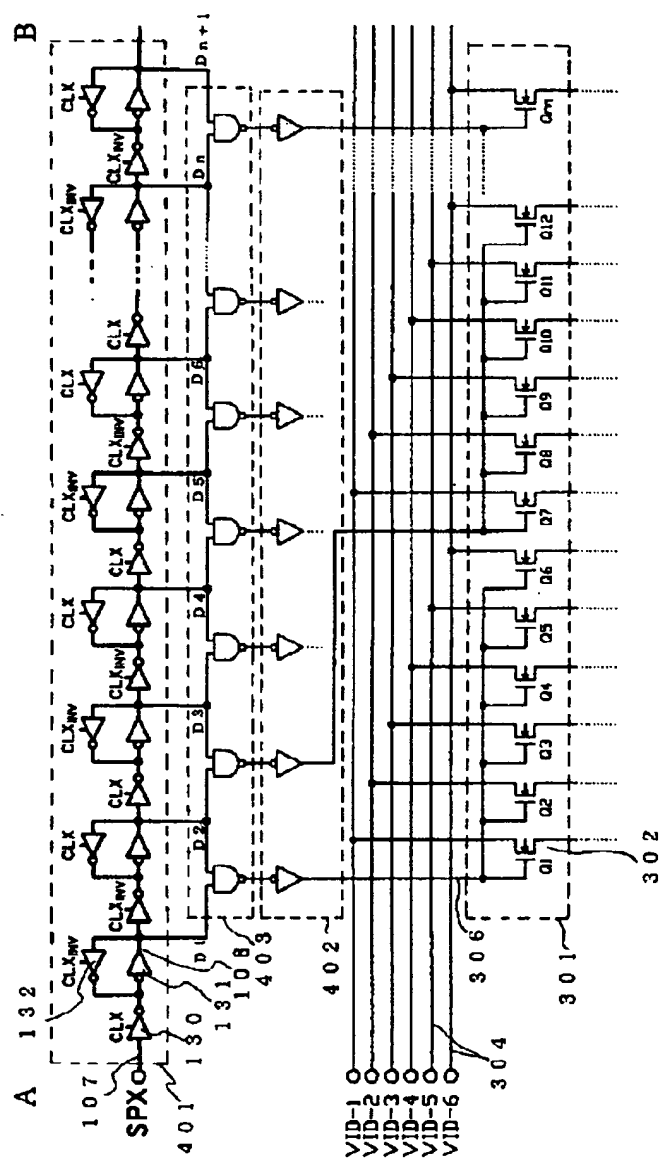


【図5】



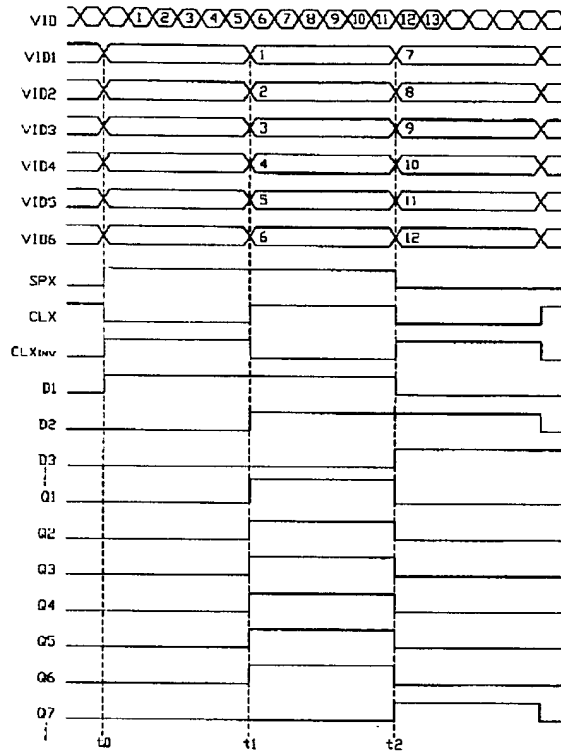
(16)

【図 6】

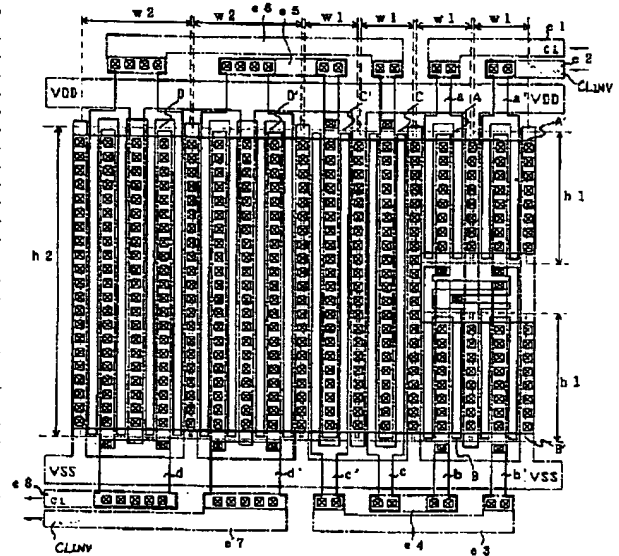


(17)

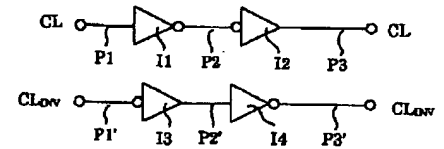
【図7】



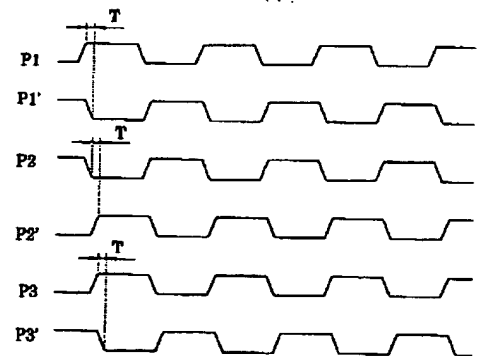
【図10】



【図19】

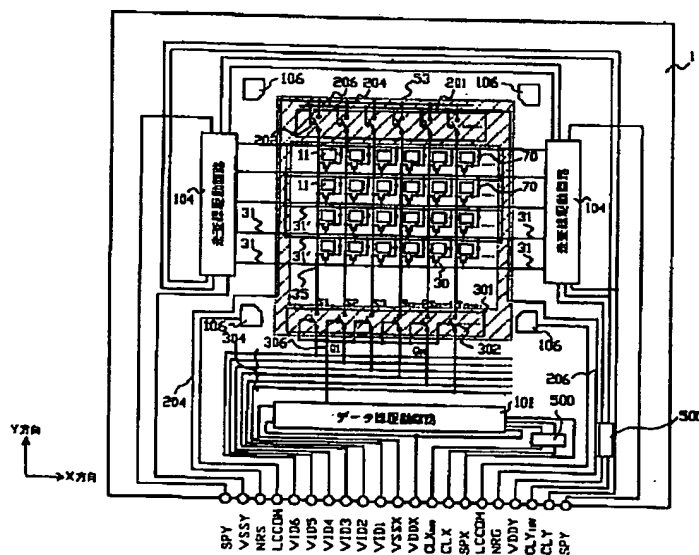


(a)



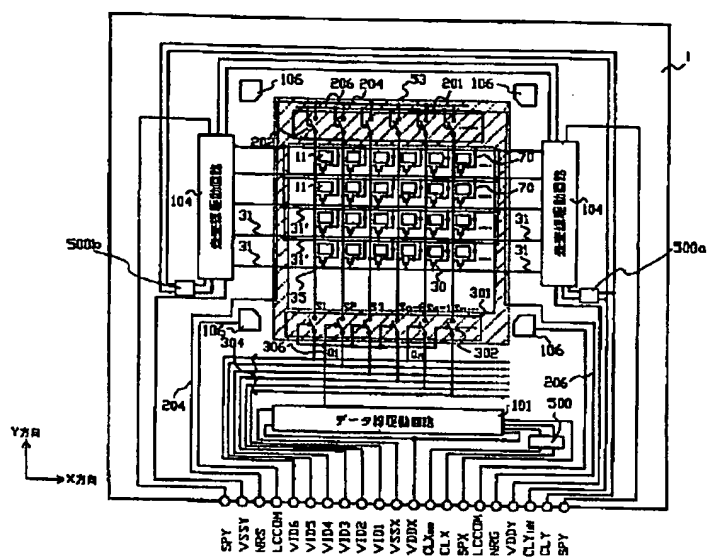
(b)

【図8】

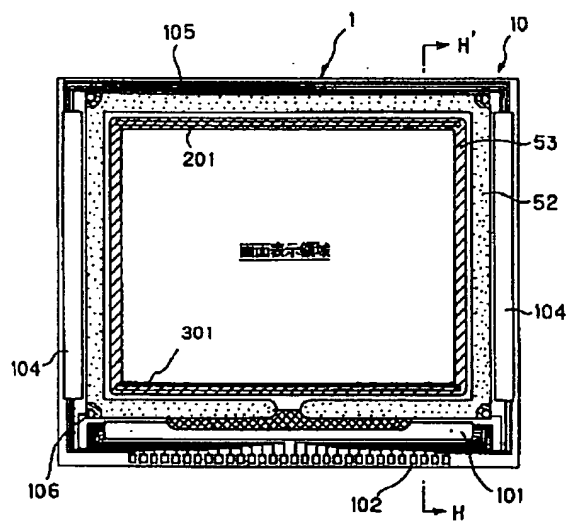


(18)

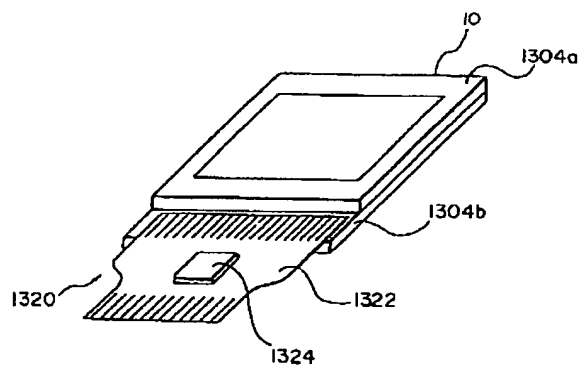
【図9】



【图 12】

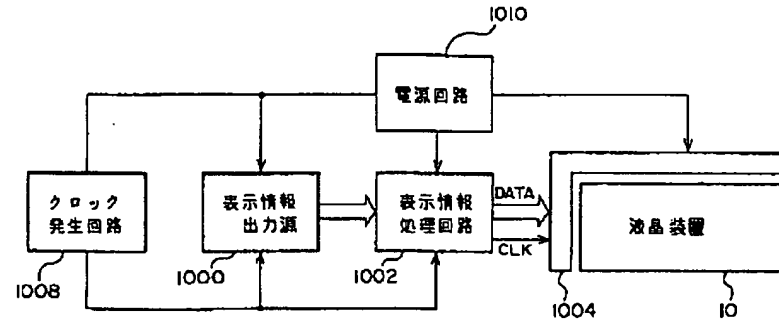


【图 17】

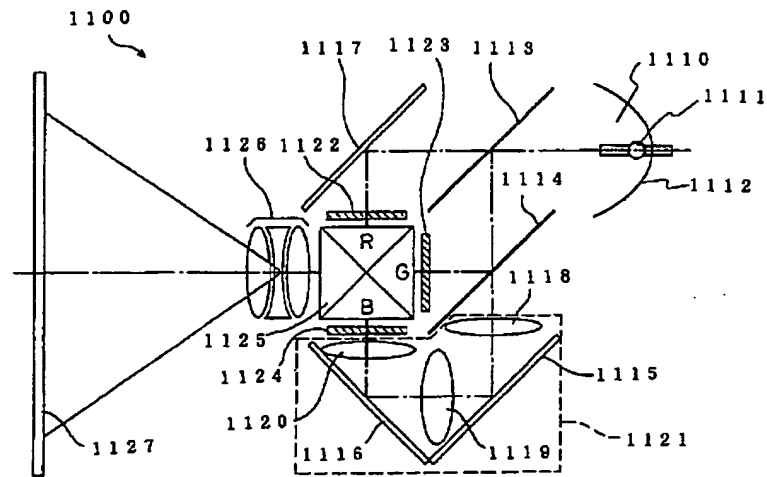


(19)

【図14】

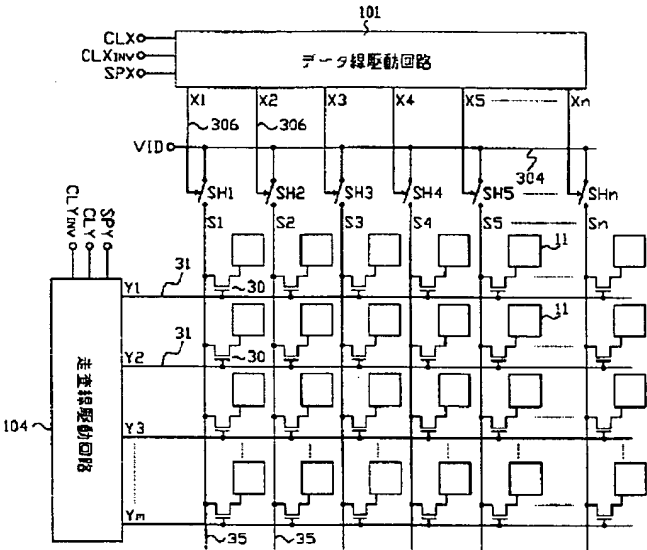


【図15】



(20)

【図18】



フロントページの続き

(51) Int. Cl. 6	識別記号	F I	
G 0 9 G	3/36	G 0 9 G	3/36
H 0 4 N	5/66	H 0 4 N	5/66
			B

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-282397

(43)Date of publication of application : 15.10.1999

(51)Int.Cl. G09G 3/20
 G09G 3/20
 G09G 3/20
 G09G 3/20
 G02F 1/133
 G09G 3/36
 H04N 5/66

(21)Application number : 10-084664

(71)Applicant : SEIKO EPSON CORP

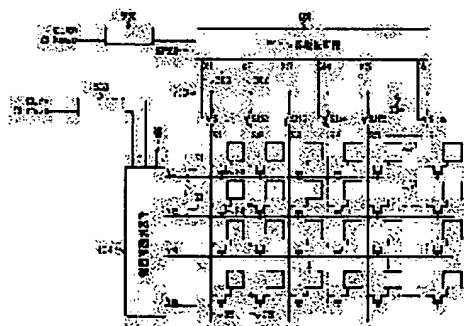
(22)Date of filing : 30.03.1998

(72)Inventor : MURADE MASAO

(54) ELECTROOPTICAL DEVICE DRIVE CIRCUIT, ELECTROOPTICAL DEVICE, AND ELECTRONIC EQUIPMENT**(57)Abstract:**

PROBLEM TO BE SOLVED: To provide an electrooptical device drive having a clock signal phase difference correcting circuit which does not increase the area for the layout of the drive circuit, while surely eliminating a phase difference between a clock signal and an opposite-phase clock signal.

SOLUTION: A clock signal phase difference correcting circuit 500 comprises a first buffer circuit a bistable circuit and a second buffer circuit all of which consist of inverters etc., the second buffer circuit being connected to the output part of the bistable circuit. At least an external clock signal input part is connected to a data line drive circuit 101 or a scanning line drive circuit 104 via the clock signal phase difference correcting circuit 500.

**LEGAL STATUS**

[Date of request for examination] 20.12.2001

[Date of sending the examiner's decision of rejection] 21.10.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3536657

[Date of registration] 26.03.2004

[Number of appeal against examiner's decision] 2003-22616

of rejection]

[Date of requesting appeal against examiner's decision of rejection] 20.11.2003

[Date of extinction of right]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more data lines with which a picture signal is supplied, and two or more scanning lines with which a scan signal is supplied, The switching means connected to said each data line and said each scanning line, It is the drive circuit of the electro-optic device equipped with the pixel electrode connected to said switching means. The driving means which has the shift register which transmits a predetermined signal based on the clock signal of an opposite phase to a clock signal and this clock signal, The input from the input section which supplies said clock signal and the clock signal of said opposite phase to said driving means, respectively is the drive circuit of the electro-optic device characterized by having coming to supply said driving means through a clock signal phase contrast amendment means.

[Claim 2] The 1st which said clock signal phase contrast amendment means is connected [1st] to the input section of said clock signal and the clock signal of said opposite phase, respectively, and reverses the polarity of an input signal, and each output section of the 2nd logic means, The drive circuit of the electro-optic device according to claim 1 characterized by having the signal feedback means which connected the input section of another side mutually, and the signal propagation means connected to each output section of said 1st [the] of said signal feedback means, and the 2nd logic means.

[Claim 3] The capacity value of wiring of at least two of said clock signal phase contrast amendment means is the drive circuit of the electro-optic device according to claim 1 or 2 characterized by being abbreviation regularity.

[Claim 4] Said clock signal phase contrast amendment means is the drive circuit of the electro-optic device according to claim 2 or 3 characterized by consisting of the 1st buffer circuit which makes said signal feedback means spread a signal, a bistable circuit as said signal feedback means, and the 2nd buffer circuit as said signal propagation means.

[Claim 5] Said bistable circuit is a drive circuit of the electro-optic device according to claim 4 characterized by being formed of the NAND circuit.

[Claim 6] Said bistable circuit is a drive circuit of the electro-optic device according to claim 4 characterized by being formed of the NOR circuit.

[Claim 7] It is the drive circuit of an electro-optic device given in any 1 term of claim 1 characterized by preparing said driving means in the both-ends side of said data line or the scanning line, respectively, and establishing independently said clock signal phase contrast amendment means between the input section of a clock signal, and said each driving means, respectively thru/or claim 6.

[Claim 8] It is the drive circuit of an electro-optic device given in any 1 term of claim 1 characterized by for said shift register being a shift register driven by N (1, 2, 3, --) sequence, and having N of said clock signal phase contrast amendment means corresponding to each shift register thru/or claim 7.

[Claim 9] The electro-optic device characterized by equipping any 1 term of claim 1 thru/or claim 8 with the drive circuit of the electro-optic device of a publication.

[Claim 10] Electronic equipment characterized by having an electro-optic device according to claim 9.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention belongs to the technical field of the electronic equipment using the electro-optic device equipped with the drive circuit of the electro-optic device of the active-matrix drive method by thin film transistor (suitably called TFT below) drive etc., and this drive circuit, and the electro-optic device concerned, and belongs to the technical field of the drive circuit of the electro-optic device equipped with the phase contrast amendment means of the clock signal especially supplied to the drive circuit of the data line or the scanning line and the clock signal concerned, and the clock signal (an opposite phase clock signal is called hereafter) of an opposite phase, an electro-optic device, and electronic equipment.

[0002]

[Description of the Prior Art] An example of the liquid crystal equipment of the active-matrix drive method by the conventional TFT drive is shown in drawing 18 . In drawing 18 , a transistor 30 is formed corresponding to each intersection of the scanning line 31 of Y1-Ym which were arranged in all directions, respectively and the data line 35 of S1-Sn, and the scanning line 31 and the data line 35, and many pixel electrodes 11 connected to this transistor 30 are formed on the substrate for liquid crystal equipments. And in addition to these, various kinds of circumference circuits which use TFT(s), such as the scanning-line drive circuit 104, the data-line drive circuit 101, and a sampling circuit 301, as a component are prepared on such a substrate for liquid crystal equipments.

[0003] The shift register is constituted by the sampling circuit drive signal line 306 which controls the sampling circuit 301 for making the picture signal VID supplied to said data-line drive circuit 101 through the picture signal line 304 write in the data line 35 so that the sequential transfer of the driving signal may be carried out. Moreover, the shift register is constituted by the scanning-line drive circuit 104 in the first half so that the sequential transfer of the scan signal may be carried out at the sequential-scanning line 31.

[0004]

[Problem(s) to be Solved by the Invention] Clock signal CL outputted from an external control circuit with the liquid crystal equipment which has the above configurations (it writes CLX [the clock signal for controlling the data-line drive circuit 101 mentioned later]) the clock signal for controlling the scanning-line drive circuit 104 -- CLY -- writing -- Opposite phase clock signal CLINV reversed in the external control circuit (it writes CLXINV [the opposite phase clock signal for controlling the data-line drive circuit 101 mentioned later]) the opposite phase clock signal for controlling the scanning-line drive circuit 104 -- CLYINV -- writing -- it is conventionally supplied in the substrate for liquid crystal equipments using the circuit as shown in drawing 19 (a) as an example. And clock signal CL and opposite phase clock signal CLINV are first supplied to the inverters I1 and I3 in the substrate for liquid crystal equipments through the supply line P1 and P1', and then are supplied to each drive circuit through inverters I2 and I4.

[0005] When such a circuit is used, as shown in drawing 19 (b), phase contrast T occurs between the

supply line P1 and P1', and this is not canceled after passing through inverters I2 and I4 further, inverters I1 and I3 and. As shown in drawing 19 (b), it sets to the path cord P2 between an inverter I1, an inverter I2 and an inverter I3, and an inverter I4, and P2'. Namely, further In the supply line P3 and P3' which were connected to the output section of inverters I2 and I4, opposite phase clock signal CLINV which has phase contrast T to clock signal CL and this clock signal CL will spread. Therefore, it sets to the shift register which constitutes the data-line drive circuit 101 and the scanning-line drive circuit 104. Once phase contrast T occurs between clock signal CL and opposite phase clock signal CLINV Degradation of a signal wave form will arise and he is start signal SP (it writes SPX [the start signal for controlling the data-line drive circuit 101 mentioned later]) normally. the clock signal for controlling the scanning-line drive circuit 104 -- SPY -- writing -- it cannot transmit to each stage but there is a problem that malfunction is caused. Moreover, such a problem is the same also in the shift register of the scanning-line drive circuit 104.

[0006] Furthermore, when the supply line which supplies clock signal CL and opposite phase clock signal CLINV is taken about on the substrate for liquid crystal equipments, clock signal CL and opposite phase clock signal CLINV deteriorate with the capacity of the supply line of a clock signal, a suitable wave is not acquired, and, as a result, said driving signal cannot be transmitted to each stage at normal, but there is a problem that malfunction is caused.

[0007] It is making into the technical problem to make this invention in view of the trouble mentioned above, to amend the phase contrast of the opposite phase clock signal of a clock signal and this clock signal certainly, and to offer the drive circuit of the electro-optic device which can operate a scanning-line drive circuit and a data-line drive circuit good, an electro-optic device, and electronic equipment.

[0008]

[Means for Solving the Problem] The drive circuit of an electro-optic device according to claim 1 Two or more data lines with which a picture signal is supplied in order to solve said technical problem, The switching means connected to two or more scanning lines with which a scan signal is supplied, and said each data line and said each scanning line, It is the drive circuit of the electro-optic device equipped with the pixel electrode connected to said switching means. The driving means which has the shift register which transmits a predetermined signal based on the clock signal of an opposite phase to a clock signal and this clock signal, It is characterized by having coming to supply [said driving means] the input from the input section which supplies said clock signal and the clock signal of said opposite phase to said driving means, respectively through a clock signal phase contrast amendment means.

[0009] According to the drive circuit of an electro-optic device according to claim 1, although a clock signal and the clock signal of an opposite phase are supplied to a driving means by the input section of the supply line of a clock signal, and the clock signal of the opposite phase of this clock signal, respectively, among these signal lines, it has the clock signal phase contrast amendment means. Therefore, since said driving means is supplied through the common clock signal phase contrast amendment means, it is not necessary to prepare the input section of the clock signal into which the clock signal phase contrast amendment means concerned is inputted from the outside of for example, liquid crystal equipment to each stage of the shift register of said driving means, respectively. Therefore, the miniaturization of the drive circuit of an electro-optic device can be attained, and detailed-ization which is a pixel is attained, and a high definition electro-optic device can be offered. Furthermore, the clock signal and opposite phase clock signal with which phase contrast was amended will be supplied to a driving means, and a transfer of the signal by the shift register will be carried out to it without malfunction.

[0010] The drive circuit of an electro-optic device according to claim 2 In order to solve said technical problem, it sets in the drive circuit of an electro-optic device according to claim 1. Said clock signal phase contrast amendment means The 1st which it connects [1st] with the input section of said clock signal and said opposite phase clock signal, respectively, and reverses the polarity of an input signal, and each output section of the 2nd logic means, It is characterized by having the signal feedback means which connected the input section of another side mutually, and the signal propagation means connected to each output section of said 1st [the] of said signal feedback means, and the 2nd logic means.

[0011] According to the drive circuit of an electro-optic device according to claim 2, a clock signal is inputted into the 1st logic means by the input section, and an opposite phase clock signal is inputted into the 2nd logic means by the supply line. A clock signal turns into the clock signal which the polarity reversed with said 1st logic means, i.e., an opposite phase clock signal, and it is outputted from said 1st logic means, and similarly, said opposite phase clock signal turns into said clock signal which the polarity reversed with said 2nd logic means, and is outputted from said 2nd logic means. And the output section of said 1st logic means is connected to the input section of said 2nd logic means, and the output section of said 2nd logic means is connected to the input section of said 1st logic means. Therefore, said clock signal which said opposite phase clock signal outputted from said 1st logic means is inputted into said 2nd logic means with the opposite phase clock signal supplied from the input section of said opposite phase clock signal, and is similarly outputted from said 2nd logic means will be inputted into said 1st logic means with the clock signal supplied from the input section of a clock signal. That is, in said 1st and 2nd logic means, positive feedback will be applied about said clock signal and said opposite phase clock signal, and amendment is performed so that the phase contrast of the clock signal supplied from said each supply line and an opposite phase clock signal may be lost.

[0012] And the clock signal and opposite phase clock signal whose mutual phase contrast was lost as mentioned above will be inputted into the signal propagation means connected to said 1st and 2nd logic means, and will be supplied to said driving means through the supply line of a clock signal and an opposite phase clock signal by this signal propagation means. Therefore, the capacity added to each output section of said 1st and 2nd logic means becomes almost equal in the connection path between the said 1st and 2nd logic means and said signal propagation means, and said path of said positive feedback of the 1st and 2nd logic means, and prevents fluctuation of the potential of the output section of said 1st and 2nd logic means based on a capacity difference. Consequently, the signal drive capacity for said positive feedback by said 1st and 2nd logic means can be maintained good, said phase contrast can be abolished nearly completely, and malfunction of said driving means can be prevented certainly.

[0013] In order that the drive circuit of an electro-optic device according to claim 3 may solve said technical problem, in the drive circuit of an electro-optic device according to claim 1 or 2, capacity value of wiring of at least two of said clock signal phase contrast amendment means is characterized by being abbreviation regularity.

[0014] According to the drive circuit of an electro-optic device according to claim 3, the capacity value of wiring of at least two of a clock signal phase contrast amendment means is abbreviation regularity further. That is, the capacity value of wiring with the still more nearly mutual wiring path which results in said signal propagation means connected to said 2nd logic means through the wiring path for said positive feedbacks from the wiring path which results in said signal propagation means, without passing along a positive feedback path from said 1st logic means, and the supply line of said clock signal from the supply line of a clock signal to said 1st logic means is abbreviation regularity. The same is said of the wiring path by the side of said 2nd logic means. Therefore, the capacity added to the branch point of each wiring is abbreviation regularity at all points, and since it prevents fluctuation of the potential of each branch point certainly, a clock signal phase contrast amendment means will be stabilized, and it will operate.

[0015] In order that the drive circuit of an electro-optic device according to claim 4 may solve said technical problem, in the drive circuit of an electro-optic device according to claim 2 or 3, said clock signal phase contrast amendment means is characterized by consisting of the 1st buffer circuit which makes said signal feedback means spread a signal, a bistable circuit as said signal feedback means, and the 2nd buffer circuit as said signal propagation means.

[0016] According to the drive circuit of an electro-optic device according to claim 4, first, a wave-like provincial accent is amended by the 1st buffer circuit, and the clock signal supplied from the feed zone of an external clock signal is supplied to a bistable circuit. Next, in a bistable circuit, the phase contrast of a clock signal and an opposite phase clock signal is amended by positive feedback operation. And since the clock signal and opposite phase clock signal which are outputted are supplied to the shift register of a driving means through the 2nd buffer circuit from a bistable circuit, even when the capacity

added after the outgoing end of the 2nd buffer circuit increases, drive capacity of said bistable circuit is not reduced. Therefore, the clock signal and opposite phase clock signal with which phase contrast was amended will be certainly supplied to said shift register, and malfunction of a shift register is prevented certainly.

[0017] In order that the drive circuit of an electro-optic device according to claim 5 may solve said technical problem, in the drive circuit of an electro-optic device according to claim 4, it is characterized by forming said bistable circuit of the NAND circuit.

[0018] According to the drive circuit of an electro-optic device according to claim 5, the clock signal supplied from the supply line of a clock signal is inputted into the NAND circuit as 1st logic means with which said signal feedback means of said clock signal phase contrast amendment means was equipped. On the other hand, the opposite phase clock signal supplied from the input section of an opposite phase clock signal is inputted into the NAND circuit as 2nd logic means with which said signal feedback means of said clock signal phase contrast amendment means was equipped. And these two NAND circuits form the bistable circuit, the output of the NAND circuit as 1st logic means is inputted into the NAND circuit as 2nd logic means, and the output of the NAND circuit as 2nd logic means is similarly inputted into the NAND circuit as 1st logic means. Therefore, even when phase contrast is between said clock signals and said opposite phase clock signals, the signal which reversed the polarity of an input signal is acquired from two outputs of the bistable circuit formed in said NAND circuit to the timing from which said clock signal inputted into the bistable circuit formed in said NAND circuit and said opposite phase clock signal turn into a signal which the polarity reversed mutually. Thus, said phase contrast between said clock signals and said opposite phase clock signals will be canceled by the bistable circuit formed in said NAND circuit. And since said signal propagation means is connected to the output section of said bistable circuit as mentioned above, the positive feedback actuation in the bistable circuit formed in said NAND circuit can be made to be able to ensure, and said phase contrast can be abolished nearly completely.

[0019] In order that the drive circuit of an electro-optic device according to claim 6 may solve said technical problem, in the drive circuit of an electro-optic device according to claim 4, it is characterized by forming said bistable circuit of the NOR circuit.

[0020] According to the drive circuit of an electro-optic device according to claim 6, the clock signal supplied from the supply line of a clock signal is inputted into the NOR circuit as 1st logic means with which said signal feedback means of said clock signal phase contrast amendment means was equipped. On the other hand, the opposite phase clock signal supplied from the input section of an opposite phase clock signal is inputted into the NOR circuit as 2nd logic means with which said signal feedback means of said clock signal phase contrast amendment means was equipped. And these two NOR circuits form the bistable circuit, the output of the NOR circuit as 1st logic means is inputted into the NOR circuit as 2nd logic means, and the output of the NOR circuit as 2nd logic means is similarly inputted into the NOR circuit as 1st logic means. Therefore, even when phase contrast is between said clock signals and said opposite phase clock signals, the signal which reversed the polarity of an input signal is acquired from two outputs of the bistable circuit formed in said NOR circuit to the timing from which said clock signal inputted into the bistable circuit formed in said NOR circuit and said opposite phase clock signal turn into a signal which the polarity reversed mutually. Thus, said phase contrast between said clock signals and said opposite phase clock signals will be canceled by the bistable circuit formed in said NOR circuit. And since said signal propagation means is connected to the output section of said bistable circuit as mentioned above, the positive feedback actuation in the bistable circuit formed in said NOR circuit can be made to be able to ensure, and said phase contrast can be abolished completely.

[0021] In order that the drive circuit of an electro-optic device according to claim 7 may solve said technical problem, in the drive circuit of an electro-optic device given in any 1 term of claim 1 thru/or claim 6, it is characterized by preparing said driving means in the both-ends side of said data line or the scanning line, respectively, and establishing independently said clock signal phase contrast amendment means between the input section of a clock signal, and said each driving means, respectively.

[0022] According to the drive circuit of an electro-optic device according to claim 7, said clock signal

phase contrast amendment means is formed independently in each between the driving means between one near driving means of said data line or the scanning line, and the clock signal input section, and by the side of another side of said data line or the scanning line, and the clock signal input section. Therefore, the die length of the supply line of the clock signal between said each driving means and said clock signal phase contrast amendment means or the supply line of an opposite phase clock signal is short compared with the case where only one clock signal phase contrast amendment means is established, it ends, and reduction of the capacity added to the output section of said signal propagation means of said clock signal phase contrast amendment means is achieved. Therefore, the drive load of supply means, such as a transistor which supplies said clock signal or an opposite phase clock signal, is mitigable. Moreover, by reduction of capacity, wave degradation of a clock signal and an opposite phase clock signal can also be prevented, and the positive drive of said driving means by the good wave-like signal can be guaranteed.

[0023] In order that the drive circuit of an electro-optic device according to claim 8 may solve said technical problem, in the drive circuit of an electro-optic device given in any 1 term of claim 1 thru/or claim 7, said shift register is a shift register driven by N (1, 2, 3, --) sequence, and said clock signal phase contrast amendment means is characterized by having N pieces corresponding to each shift register.

[0024] According to the drive circuit of an electro-optic device according to claim 8, when a shift register drives by N (1, 2, 3, --) sequence, a clock signal and an opposite phase clock signal will be supplied for every sequence, but said clock signal phase contrast amendment means prevents certainly malfunction of a shift register [in / it comes out, and the phase contrast of a clock signal and an opposite phase clock signal is certainly amended in each sequence, and / each sequence] which it has N pieces corresponding to each shift register.

[0025] An electro-optic device according to claim 9 is characterized by equipping any 1 term of claim 1 thru/or claim 8 with the drive circuit of the electro-optic device of a publication, and said electro-optic device, in order to solve said technical problem.

[0026] According to the electro-optic device according to claim 9, since any 1 term of claim 1 thru/or claim 8 is equipped with the drive circuit of the electro-optic device of a publication, with the clock signal and opposite phase clock signal with which the phase gathered, the shift register of a driving means can be operated certainly without malfunction, and the display of the liquid crystal equipment which is an example of an electro-optic device can be realized good. Furthermore, since the clock signal phase contrast amendment means for abolishing said phase contrast is established between the feed zone of said clock signal or an opposite phase clock signal, and said driving means rather than is formed in each stage of said shift register, it can decrease the layout area of a shift register and, as a result, can attain high integration of a circumference circuit. Therefore, micro liquid crystal equipment with a high definition electro-optic device is offered.

[0027] Electronic equipment according to claim 10 is characterized by having the electro-optic device of claim 9, in order to solve said technical problem.

[0028] According to electronic equipment according to claim 10, electronic equipment is equipped with the electro-optic device of the invention in this application mentioned above, and the good display based on the clock signal and opposite phase clock signal with which the phase gathered can be realized. Furthermore, in said electro-optic device, since the clock signal phase contrast amendment means for abolishing the difference of said phase is established between the input section of said clock signal or an opposite phase clock signal, and said driving means rather than prepares in each stage of said shift register, the miniaturization of electronic equipment is realizable with micro liquid crystal equipment with a high definition electro-optic device.

[0029] Such an operation and other gains of this invention are made clear from the gestalt of the operation explained below.

[0030]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained based on a drawing.

[0031] (Configuration of liquid crystal equipment) The configuration and actuation of the gestalt of operation of liquid crystal equipment which are an example of the electro-optic device by this invention are explained based on drawing 1. Drawing 1 is the representative circuit schematic having shown two or more pixels of liquid crystal equipment.

[0032] First, as two or more pixels formed in the shape of [which constitutes the screen-display field of the liquid crystal equipment by the gestalt of this operation] a matrix are shown in drawing 1, as a switching element, two or more formation is carried out at the shape of a matrix, and TFT30 is connected in the source concerned of TFT30 electrically [the data line 35 which supplies a picture signal]. The picture signal written in the data line 35 may be supplied to line sequential in order of S1, S2, --, Sn to each data line 35, and you may make it supply it for every group to two or more data-line 35 adjoining comrades. Moreover, the scanning line 31 which supplies a scan signal to said gate of TFT30 is connected electrically, and it is constituted by each scanning lines Y1, Y2, --, Ym which constitute the scanning line 31 so that a scan signal may be impressed to line sequential in pulse to predetermined timing in order of each scanning lines Y1, Y2, --, Ym. Moreover, the pixel electrode 11 is electrically connected to the drain of TFT30, and when only a fixed period makes an ON state TFT30 which is a switching element, the pixel signal supplied from the data line 35 is written in the pixel electrode 11 to predetermined timing. Fixed period maintenance of the picture signal of the predetermined level written in liquid crystal through this pixel electrode 11 is carried out between the counterelectrodes (it mentions later) formed in the opposite substrate (it mentions later). When a molecule ensemble's orientation and order change according to the voltage level impressed, liquid crystal modulates light and enables a gradation display.

[0033] In addition to the component mentioned above, various kinds of circumference circuits equipped with TFT(s), such as a scanning-line drive circuit, a data-line drive circuit, and a sampling circuit, may be established in such a substrate for liquid crystal equipments.

[0034] For example, in the example shown in drawing 1, the data-line drive circuit 101 which supplies a driving signal to the scanning-line drive circuit 104 and sampling circuit 301 which supply a scan signal to the scanning line 31, and the sampling circuit 301 which supplies a picture signal to the data line 35 at the time of an ON state are established in the substrate for liquid crystal equipments.

[0035] Said data-line drive circuit 101 and the scanning-line drive circuit 104 are respectively equipped with the shift register. Said data-line drive circuit 101 is constituted so that the sequential output of the driving signal for making a picture signal write in said data line 35 may be carried out from each output stage of a shift register. Moreover, the scanning-line drive circuit 104 is constituted so that the sequential output of the scan signal made to write in said scanning line 31 may be carried out from each output stage of a shift register.

[0036] These shift registers equip each stage with gate means, such as a clocked inverter or a transmission gate, and by inputting a clock signal or the clock signal concerned, and the clock signal (opposite phase clock signal) of an opposite phase by turns for every step, they are the timing which synchronized with the half period of a clock signal, and they are constituted so that the sequential transfer of the driving signal over said data line and scanning line may be carried out, so that it may mention later.

[0037] As shown in drawing 1, the liquid crystal equipment of the gestalt of this operation between CLX and CLXINV which are the input section which supplies a clock signal and an opposite phase clock signal further, and the driving means which has the shift register of the data-line drive circuit 101. The phase of the clock signal CLX which the clock phase contrast amendment circuit 500 is formed, and is supplied from the control circuit of said exterior, and opposite phase clock signal CLXINV It doubles by the clock phase contrast amendment circuit 500 concerned, and it constitutes so that said data-line drive circuit 101 may be supplied after that.

[0038] Similarly also in the scanning-line drive circuit 104, the clock phase contrast amendment circuit 500 is formed between CLY and CLYINV, and the driving means that has the shift register of the scanning-line drive circuit 104, and the phase of the clock signal CLY supplied from the control circuit of said exterior and opposite phase clock signal CLYINV is doubled by the clock phase contrast

amendment circuit 500 concerned, and it is constituted so that said scanning-line drive circuit 104 may be supplied after that.

[0039] Therefore, write-in actuation of the good picture signal to each pixel is performed, without producing malfunction of said data-line drive circuit 101 and the scanning-line drive circuit 104. Hereafter, it explains in more detail about the configuration and actuation of the clock signal phase contrast amendment circuit of the gestalt of this operation.

[0040] (Configuration of a clock phase contrast amendment circuit) As shown in drawing 1, the clock signal phase contrast amendment circuit 500 which has a bistable circuit is established in the substrate for liquid crystal equipments, and it consists of gestalten of this operation so that the phase of clock signal CL and opposite phase clock signal CLINV may be doubled.

[0041] As the basic configuration of the clock signal phase contrast amendment circuit 500 of the gestalt of this operation is shown in drawing 2 (a), it consists of a 1st buffer circuit 501, a bistable circuit 502, and a 2nd buffer circuit 503, and each circuit is constituted by Inverters 501a, 501b, 502a, 502b, 503a, and 503b.

[0042] drawing 2 -- (-- b --) -- being shown -- as -- a clock signal -- CL -- an opposite phase -- a clock signal -- CLINV -- receiving -- R -- one -- and -- R -- one -- ' -- a point -- a period -- T -- only -- phase contrast -- having been generated -- ***** -- a book -- operation -- a gestalt -- it can set -- a bistable circuit -- 502 -- phase contrast -- amending -- having -- being concerned -- a bistable circuit -- 502 -- from -- having outputted -- a point -- R -- three -- and -- R -- three -- ' -- **** -- phase contrast -- not generating .

[0043] In said clock signal phase contrast amendment circuit 500 In the buffer circuit 501 which consists of inverters 501a and 501b, the transistor in the circuit which supplies clock signal CL and opposite phase clock signal CLINV While compensating ***** capacity, the output of one inverter 502a of a bistable circuit 502 to the input of inverter 502b of another side Moreover, by supplying the output of inverter 502b of another side to the input of one [said] inverter 502a, respectively, it has the composition of abolishing said phase contrast, applying positive feedback to the input signal of each inverter 502a and 502b.

[0044] Moreover, in the clock signal phase contrast amendment circuit 500 of the gestalt of this operation, the 2nd buffer circuit 503 is formed behind the bistable circuit 502, and the fall of the drive capacity of a bistable circuit 502 is prevented by work of this 2nd buffer circuit 503. That is, when clock signal CL and opposite phase clock signal CLINV are supplied to each drive circuit by taking about a clock signal line from a bistable circuit 502, it is possible [it] that clock signal CL and opposite phase clock signal CLINV deteriorate with the capacity of a clock signal line. However, in the gestalt of this operation, the fall of the drive capacity of a bistable circuit 502 will be prevented by the 2nd buffer circuit 503, and clock signal CL and opposite phase clock signal CLINV will be supplied to each drive circuit good.

[0045] Moreover, although establishing a clock signal phase contrast amendment circuit in each stage of a shift register is also considered in order to prevent signal degradation resulting from the capacity of a clock signal line By forming the 2nd buffer circuit 503 behind a bistable circuit 502 like the gestalt of this operation Even if it does not prepare a clock signal phase contrast amendment circuit for every step of the latch circuit which constitutes a shift register, the clock signal and opposite phase clock signal which were amended by the fitness of phase contrast can be supplied to a drive circuit. Therefore, layout area of a drive circuit is not increased and the miniaturization of liquid crystal equipment can be realized.

[0046] The modification of the configuration of an above-mentioned clock phase contrast amendment circuit is explained using drawing 3 (a) and (b).

[0047] Each bistable circuit 502 of drawing 3 (a) and (b) of the gestalt and configuration of this operation which were shown in drawing 2 except the point which consists of NAND circuits 502c and 502d or NOR circuits 502e and 502f is the same.

[0048] To the timing from which the polarity of clock signal CL or opposite phase clock signal CLINV changes after that even if the period used as a high-level signal or the period used as both low-level

signals exists according to the phase contrast of clock signal CL and opposite phase clock signal CLINV, when [both] NAND circuits 502c and 502d shown in drawing 3 (a) are used A NAND circuits [502c and 502d] output changes to coincidence. For example, When the input signal d1 of NAND-circuit 502c is high-level and d3 is a low level Supposing the output signal d2 of NAND-circuit 502c becomes high-level, the input signal d4 of 502d of NAND circuits becomes high-level by this and another input signal d6 is a high-level signal The output signal d5 of 502d of NAND circuits turns into a low-level signal., Supposing, as for a NAND circuits [502c and 502d] output signal, an input signal d6 changes from the condition of such each first signal to a low-level signal in such a case The output signal d5 of 502d of NAND circuits changes high-level, and the input signal d3 of NAND-circuit 502c also changes high-level in connection with this., It follows, The output signal d2 of NAND-circuit 502c changes to a low level, and the condition of all signals is stabilized. Thus, the phase contrast of clock signal CL which the NAND circuits [502c and 502d] output signals d2 and d5 changed to coincidence to the timing which the polarity of which signal reverses after that, and existed in the input phase according to the phase contrast of clock signal CL and opposite phase clock signal CLINV even if the period used as both high-level signals or the period used as both low-level signals existed, and opposite phase clock signal CLINV is cancelable.

[0049] Moreover, as shown in drawing 3 (b), even when a bistable circuit is constituted from NOR circuits 502e and 502f, it will operate like NAND circuits 502c and 502d.

[0050] Thus, the liquid crystal equipment without malfunction which can drive the data-line drive circuit 101 or the scanning-line drive circuit 104 by clock signal CL without phase contrast and opposite phase clock signal CLINV can be offered by constituting a bistable circuit 502 from a NAND circuit or a NOR circuit.

[0051] (Detail configuration of the clock signal phase contrast amendment circuit 500) When a configuration like the gestalt of this above-mentioned operation is taken, as for the on resistance of the inverter circuits 503a and 503b of the 2nd buffer circuit 503 shown in drawing 4 , it is desirable to set it as the lowest possible value. Because, when the on resistance of the inverter circuits 503a and 503b of the last stage is high, it is because the electrical potential difference of the signal with which an output signal is impressed to the clocked inverter of a provincial accent and a shift register 401 falls and it becomes impossible to drive a shift register 401. Therefore, to the load and drive frequency of a clock signal line which were electrically connected to the 2nd buffer circuit 503, it is necessary to design so that inverter circuits 503a and 503b may have sufficient drive capacity.

[0052] moreover -- drawing 4 -- being shown -- an inverter -- A -- B -- C -- or -- A -- ' -- B -- ' -- C -- ' -- constituting -- having -- a signal transmission -- a path -- volume load -- an inverter -- A -- C -- ' -- or -- A -- ' -- C -- constituting -- having -- a signal transmission -- a path -- volume load -- the same -- becoming -- as -- designing -- things -- being desirable . Therefore, as for the size of B and B', Inverter A, A', and designing almost similarly are desirable. This is because phase contrast amendment can be ensured as the potential of one of paths does not become dominant.

[0053] Moreover, the number of the inverter circuits 503a and 503b which constitute the 2nd buffer circuit 503 of the clock signal phase contrast amendment circuit 500 one, and after they carry out cascade connection of several steps or the inverter circuit as shown in drawing 5 when the capacity added to a clock signal line and an opposite phase clock signal line is large, they may be constituted so that it may connect with a clock signal line and an opposite phase clock signal line. Under the present circumstances, the inverter circuit by which cascade connection is carried out is designed so that it may become one about 2 to 4 times the magnitude of this to the size of the inverter circuit of the preceding paragraph. If the size of the inverter circuit of the next step which is electrically connected to the inverter circuit of a self-stage in the case of the cascade of CMOS is made to become about e (2.72) time, the total time delay of the 2nd buffer circuit 503 can be made into min (theorem of being e times many as this). For example, it is good to form Inverter D (D') in one times the size of inverter C(C') $\times e$ (2.72) in the example of drawing 5 . Moreover, Inverter E (E') is good to form in one times the size of inverter D(D') $\times e$ (2.72). Furthermore, as for the on resistance of the inverter E of the last stage (E'), it is desirable at this time to form so that it may become as small as possible.

[0054] (Configuration of a drive circuit) An example of a configuration with the clock signal phase contrast amendment circuit of the gestalt of above-mentioned operation and the data-line drive circuit connected to the clock signal phase contrast amendment circuit concerned is explained with reference to drawing 6 thru/or drawing 7.

[0055] As shown in drawing 6, the data-line drive circuit 101 is constituted including a shift register 401, the buffer circuit 402, and the selection circuitry 403 of a sampling circuit driving signal.

[0056] With the gestalt of this operation, a shift register 401 is a direction of transfer corresponding to the direction which goes to B from A shown in drawing 6, carries out the sequential output of the sampling circuit driving signal from each stage of a shift register 401, and has the function supplied to a sampling circuit 301 through a selection circuitry 403 or the buffer circuit 402.

[0057] In addition, although illustration is omitted about the scanning-line drive circuit 104, it has the same shift register and same selection circuitry as the data-line drive circuit 101, a buffer circuit, etc., and is constituted.

[0058] Moreover, the shift register 401 is constituted by the clocked inverter 130, 132 and the inverter 131 as shown in drawing 6.

[0059] A clocked inverter 130 has the function to incorporate start signal SPX supplied to the input signal line 107 synchronizing with a clock signal CLX. Moreover, an inverter 131 has the function to make the incorporated signal spread as an output signal from the output-signal line 108, and the clocked inverter 132 has further the function to return the output signal from an inverter 131 to the signal input side of an inverter 131 synchronizing with a clock signal CLX and opposite phase clock signal CLXINV.

[0060] Each stage of the latch circuit which constitutes a shift register 401 Since the clock signals inputted into the clocked inverter of the stage which consists of circuits which combined the above clocked inverters and inverters, and adjoins each other are the clock signal of the preceding paragraph, and a clock signal of an opposite phase To the timing t0 shown in drawing 7 in the 1st step, it is incorporated, and the signal outputted is incorporated in the timing t1 shifted the semicircle term of a clock signal CLX in the 2nd step, and the output signal of the same width of face as start signal SPX is acquired also in the 2nd step. Since incorporation of the signal in the timing which shifted the semicircle term of a clock signal CLX one after another in each stage, and the output of the signal of the same width of face as one period of a clock signal CLX are performed hereafter, start signal SPX will be transmitted to the timing from which the clock signal CLX shifted the half period every one by one.

[0061] And corrugating of the pulse signal from which the clock signal CLX outputted shifted the half period every is carried out as a sampling circuit driving signal through a selection circuitry 403 and a buffer circuit 402 from each above stage. The selection circuitry 403 is equipped with the NAND circuit as shown in drawing 6, and it is constituted so that the output signal of the output stage of the next step may be inputted into said NAND circuit with the output signal from the output stage of the corresponding shift register 401. Therefore, to TFT302 of a sampling circuit 301, as shown in drawing 7, the sequential output of the pulse-like driving signal with which both the output signals of an adjacent output stage become high-level in the period which becomes high-level will be carried out at the order of Q1-Qm.

[0062] while reducing the frequency of the clock signal CLX supplied to a shift register 401, and opposite phase clock signal CLXINV even if with the gestalt of this operation even when a dot frequency is very high since it has the above data-line drive circuits 101 -- every of a sampling circuit 301 -- TFT302 -- the need -- sufficient sampling period can be given and the positive writing to the data line 35 of picture signals VID1-VID6 can be realized. Moreover, also in the data-line drive circuit 101 and the scanning-line drive circuit 104 constituted similarly, the positive writing of a scan signal to the scanning line 31 can be performed, consequently a good display action can be performed.

[0063] (Configuration of liquid crystal equipment) Next, the concrete example of a configuration of liquid crystal equipment equipped with the above-mentioned clock signal phase contrast amendment 500 is explained in detail using drawing 8 and drawing 9. Drawing 8 and drawing 9 are the block diagrams showing the configuration of a various wiring, a circumference circuit, etc. which were

prepared on the substrate for liquid crystal equipments in the gestalt of operation of liquid crystal equipment, respectively.

[0064] Liquid crystal equipment 10 is equipped with the substrate 1 for liquid crystal equipments which consists of a quartz substrate, hard glass, a silicon substrate, etc. in drawing 8 . Two or more pixel electrodes 11 prepared in the shape of a matrix on the substrate 1 for liquid crystal equipments, The data line 35 which two or more arrays are carried out in the direction of X, and is extended along the direction of Y, respectively, The scanning line 31 which two or more arrays are carried out in the direction of Y, and is extended along the direction of X, respectively, While intervening between each data line 35 and the pixel electrode 11, respectively, two or more TFT30 as an example of the pixel driving means which controls the switch-on and the non-switch-on between these according to the scan signal supplied through the scanning line 31, respectively, respectively is formed. Moreover, on the substrate 1 for liquid crystal equipments, capacity line 31' which is wiring for storage capacitance is formed almost in parallel along with the scanning line 31 using the bottom of the scanning line of the preceding paragraph.

[0065] The precharge circuit 201 which precedes the precharge signal of a predetermined voltage level with a picture signal, and supplies it to further two or more data lines 35 on the substrate 1 for liquid crystal equipments, respectively, the sampling circuit 301 which samples a picture signal and is supplied to two or more data lines 35, respectively, the data-line drive circuit 101, and the scanning-line drive circuit 104 are formed.

[0066] The scanning-line drive circuit 104 is equipped with a shift register, and is constituted, and a scan signal is impressed to line sequential to predetermined timing to the scanning line 31 based on clock signal CLYINV of the positive supply VDDY supplied from an external control circuit (not shown) and a negative supply VSSY, start signal SPY, the reference clock signal CLY, and an opposite phase etc.

[0067] Moreover, similarly, it has a shift register and is constituted, and the data-line drive circuit 101 impresses a sampling circuit driving signal to line sequential in pulse every data line 35, in order to sample picture signals VID1-VID6 based on clock signal CLXINV of the positive supply VDDX supplied from an external control circuit (not shown) and a negative supply VSSX, the reference clock signal CLX, and an opposite phase, start signal SPX, etc. This sampling circuit driving signal is supplied through the sampling circuit drive signal line 306 according to the timing to which the scanning-line drive circuit 104 impresses a scan signal.

[0068] Moreover, the common electrode potential signal LCCOM is supplied to the vertical flow material 106, and is impressed to the common electrode (not shown) formed in an opposite substrate (not shown) through the vertical flow material 106 so that it may mention later.

[0069] Next, the precharge circuit 201 is equipped with TFT202 every data line 35, the precharge signal line 204 is connected to the source electrode of TFT202, and the precharge circuit drive signal line 206 is connected to the gate electrode of TFT202. And the power source of a predetermined electrical potential difference required in order to write in the precharge signal NRS from an external power is supplied through the precharge signal line 204, and the precharge circuit driving signal NRG is supplied from an external control circuit so that the precharge signal NRS may be written in through the precharge circuit drive signal line 206 to the timing preceded with a picture signal about each data line 35. The precharge circuit 201 supplies the precharge signal (image auxiliary signal) which is preferably equivalent to the picture signal of middle gradation level.

[0070] The sampling circuit 301 is equipped with TFT302 every data line 35, and the picture signal line 304 is connected to the source electrode of TFT302. Moreover, the sampling circuit drive signal line 306 is connected to the gate electrode of TFT302. Therefore, TFT302 into which the sampling circuit driving signal was inputted through the sampling circuit drive signal line 306 will be from the data-line drive circuit 101 in switch-on, and the picture signals VID1-VID6 supplied through the picture signal line 304 from an external control circuit (not shown) will be written in each data line 35.

[0071] And a sampling circuit driving signal is impressed to coincidence to the gate electrode of six adjoining TFT(s)302, and it constitutes from a gestalt of this operation so that sequential selection of two or more data lines 35 may be made for every group. Moreover, it is inputted into an external control

circuit as a serial signal which has a predetermined dot frequency, phase expansion is carried out in the external control circuit concerned at the parallel signal of six phases, and a picture signal is supplied to the data line 35 through TFT302 as six picture signals VID1-VID6.

[0072] Thus, phase expansion of the picture signal is carried out for reducing the drive frequency of a shift register using two or more picture signal lines 304, even when the dot frequency of a picture signal is quick. If the drive frequency of a shift register can be reduced, the load of the external control circuit which supplies a clock signal to a shift register can be mitigated, and the consumed electric current of a shift register can be stopped low. Furthermore, the life of TFT which constitutes a shift register can also be prolonged.

[0073] The number of phase expansions of a picture signal is determined by the write-in capacity of TFT302 which constitutes a sampling circuit 301. Although there is no constraint in the number of phase expansions of a picture signal, there is an advantage that the cost which requires the direction with few phase expansions of a picture signal for an external control circuit can be reduced. Moreover, it is not necessary to necessarily make the number of TFT302 chosen as coincidence equal to the number of phase expansions of a picture signal, and it is good also as the number smaller than the number of phase expansions.

[0074] Furthermore, if the number of phase expansions of a picture signal is set as multiples of 3, such as 3, 6, 12, 18, 24, and --, since the picture signal line 304 can form by the multiple of 3, it is advantageous in case video presentation is carried out. This is because it is desirable when simplifying control and a circuit, in case video presentation, such as an NTSC display and a PAL display, is carried out to it being the multiple of 3 from the relation of a color picture signal consisting of a signal concerning three colors (red, green, blue). Moreover, it cannot be overemphasized that only several phase expansion minutes of a picture signal are required for the picture signal line 304 at least.

[0075] And in the liquid crystal equipment 10 of the gestalt of this operation constituted as mentioned above, the clock signal phase contrast amendment circuit 500 of a configuration as mentioned above is formed between clock signal CL, the input section of opposite phase clock signal CLINV, and the data-line drive circuit 101 and the scanning-line drive circuit 104, as shown in drawing 8. Moreover, the arrangement part of the clock signal phase contrast amendment circuit 500 is not restricted to the example shown in drawing 8. Furthermore, another example of a configuration of liquid crystal equipment is shown in drawing 9. Although drawing 9 has the almost same configuration as drawing 8, the scanning-line drive circuit 104 is established in the both sides of the scanning line 31, and between one near scanning-line drive circuit 104, a clock signal CLY, and the input section of opposite phase clock signal CLYINV, clock signal phase contrast amendment circuit 500a is prepared, and, as for a different point, it has prepared clock signal phase contrast amendment circuit 500b, respectively between the near scanning-line drive circuit 104 of another side, a clock signal CLY, and the input section of opposite phase clock signal CLYINV. Thus, by constituting, a gap of the timing of the scan signal supplied to the scanning line 31 from the scanning-line drive circuit 104 on either side can be prevented much more certainly.

[0076] Thus, one between a clock signal CLX, the input section of the opposite phase clock signal CLXINV, and the data-line drive circuit 101. And it sets in the configuration which established the clock signal phase contrast amendment circuit 500 in one between a clock signal CLY, its opposite phase clock signal CLYINV, and the scanning-line drive circuit 104. When taking about a clock signal line for a long time between the clock signal phase contrast amendment circuit 500, the data-line drive circuit 101, and the scanning-line drive circuit 104, it is also considered that a signal deteriorates with the capacity of a clock signal line.

[0077] As mentioned above, however, in the clock signal phase contrast amendment circuit 500 of the gestalt of this operation. Since the latter part of a bistable circuit 502 is equipped with the 2nd buffer circuit 503 and the 2nd buffer circuit is further formed in suitable size, Even when the clock signal phase contrast amendment circuit 500 has been arranged like the gestalt of this operation, the drive capacity of the clock signal phase contrast amendment circuit 500 cannot decline, but a double lump of the phase of a clock signal can be ensured. Hereafter, the detailed configuration of the clock signal phase contrast

amendment circuit 500 of the gestalt of this operation is explained. In addition, the clock signal phase contrast amendment circuits 500a and 500b shown in drawing 9 are also the same configurations as the clock signal phase contrast amendment circuit 500.

[0078] Moreover, since the phase contrast of a signal will arise as an example at the time of a pattern layout if leading-about resistance of a clock signal and the clock signal of an opposite phase changes. The line breadth and die length are arranged. wiring taken about by the high polish recon film (it forms by the same film as the scanning line) of resistance -- a clock signal and an opposite phase clock signal - - abbreviation -- so that it may become the same resistance the part which changes the die length of wiring -- low -- it is desirable to make it take about by the aluminum film [****] (for it to form by the same film as the data line). Thereby, since the resistance difference in wiring does not arise, it becomes possible to arrange mostly the phase contrast of the clock signal inputted from the outside, and an opposite phase clock signal, and the liquid crystal equipment which malfunction does not produce can be offered.

[0079] For example, although drawing 10 is drawing showing the example of a pattern layout of the clock signal phase contrast amendment circuit 500 shown in drawing 11 a clock signal -- CL -- an opposite phase -- a clock signal -- CLINV -- each -- an inverter -- A -- A -- ' -- B -- B -- ' -- C -- C -- ' -- D -- D -- ' -- supplying -- a sake -- resistance -- being high -- the polish recon film (-- for example, -- the scanning line -- the same -- the film -- formation --) -- taking about -- wiring -- a -- a -- ' -- b -- b -- ' -- c -- c -- ' -- d -- d -- ' -- each -- an inverter -- every -- the -- line breadth -- die length -- arranging -- having -- **** -- a clock signal -- CL -- an opposite phase -- a clock signal -- CLINV -- leading about -- resistance -- not changing -- as -- constituting -- having -- **** . moreover, the parts e1-e8 which change the die length of wiring -- low -- it is constituted so that it may take about by the aluminum film [****] (it forms by the same film as the data line) etc., and the resistance difference in wiring is not produced [0080] moreover -- each -- an inverter -- size -- ***** -- drawing 10 -- being shown -- as -- an inverter -- A -- A -- ' -- B -- B -- ' -- width of face -- w -- one -- die length -- h -- one -- size -- forming -- having -- **** -- although -- the next step -- an inverter -- C -- C -- ' -- width of face -- w -- one -- die length -- h -- two ($> h1$) -- an inverter -- A -- A -- ' -- B -- B -- ' -- being big -- size -- forming -- having -- **** . Furthermore, the inverter D of the next step and D' are formed in width of face $w2 (> w1)$, die length $h1$, and Inverter C and bigger size than C'. Thus, the inverter circuit by which cascade connection is carried out is designed so that it may become one about 2 to 4 times the magnitude of this to the size of the inverter circuit of the preceding paragraph.

[0081] Even when the clock signal phase contrast amendment circuit 500 is formed by the above configurations between the input sections of the data-line drive circuit 101 or the scanning-line drive circuit 104, a clock signal, and an opposite phase clock signal Drive capacity of the inverter for a positive feedback operation is not reduced. As shown in drawing 2 (b), even when clock signal CL and opposite phase clock signal CLINV which phase contrast T produced are supplied, the supply line R3 by the side of the 2nd buffer circuit 503, the clock signal which does not have phase contrast mutually in R3', and an opposite phase clock signal can be outputted.

[0082] Furthermore, the miniaturization of liquid crystal equipment 10 can be realized, without being able to install the clock signal phase contrast amendment circuit 500 in the corner section of liquid crystal equipment 10 etc., and increasing the layout area of the data-line drive circuit 101 and the scanning-line drive circuit 104. Especially, like the clock signal phase contrast amendment circuit of the gestalt of this operation, in a configuration of applying feedback by the bistable circuit, the inverter circuit of complementary-type TFT structure is needed, and the inverter circuit of complementary-type TFT structure needs to take about a positive supply and a negative supply. However, in the gestalt of this operation, the circuit which needs a comparatively big occupancy area on the substrate 1 for liquid crystal equipments in this way can be installed in the corner section of liquid crystal equipment 10 which does not affect arrangement of a circumference circuit, and high integration of a circumference circuit is not barred. Therefore, according to the gestalt of this operation, the liquid crystal [which contained the circumference circuit integrated highly] equipment which is small and does not have malfunction can be offered.

[0083] Moreover, since any clock signal phase contrast amendment circuits 500a and 500b can be established in the location which does not affect arrangement of the scanning-line drive circuit 104 even when a clock signal is supplied to each of both scanning-line drive circuits 104 by the clock signal phase contrast amendment circuits 500a and 500b as shown in drawing 9, high integration of the scanning-line drive circuit 104 is not barred.

[0084] Moreover, what is necessary is just to prepare the clock signal phase contrast amendment circuit of this invention so that phase correction may be possible in front of each drive circuit in supplying a clock signal not only to the scanning-line drive circuit 104 but to two or more drive circuits. Thereby, a gap of the signal outputted from each drive circuit can be prevented.

[0085] In addition, in the gestalt of this operation, although the shift register in each drive circuit was one sequence, respectively, to use the shift register of two or more sequences, it is required to prepare the clock signal phase contrast amendment circuit of the number according to the number of sequences. That is, when using the shift register of N (N= 1, 2, --) sequence, the clock signal phase contrast amendment circuit of N individual may be prepared. Thus, by constituting, malfunction can be prevented in the shift register of all sequences.

[0086] Moreover, this invention can demonstrate effectiveness widely to the circuit driven using the reversal signal not only to shift register actuation of the data-line drive circuit 101 or a scanning-line drive circuit but to a certain signal.

[0087] In addition, a clock signal phase contrast amendment circuit which was explained above, a data-line drive circuit, a sampling circuit, or a scanning-line drive circuit can be formed with the respectively same film formation process as TFT30 of a pixel field, and is advantageous on manufacture.

[0088] (Configuration of liquid crystal equipment) An example of the liquid crystal equipment 10 which stuck the above substrate for liquid crystal equipments and opposite substrate is shown in drawing 12 and drawing 13 again. Drawing 12 is the top view of the whole liquid crystal equipment, and drawing 13 is the H-H' sectional view of drawing 12. As shown in drawing 12 and drawing 13, the precharge circuit 201 and the sampling circuit 301 are formed on the substrate 1 for liquid crystal equipments in the location which counters the circumference abandonment 53 of the protection-from-light nature formed in the opposite substrate 2, and the data-line drive circuit 101 and the scanning-line drive circuit 104 are formed on the narrow long and slender circumference part of the substrate 1 for liquid crystal equipments which does not face the liquid crystal layer 50.

[0089] In drawing 12 and drawing 13, the sealant 52 which consists of a photo-setting resin which sticks both substrates in the perimeter of the screen-display field (namely, field of the liquid crystal equipment with which an image is actually displayed by the orientation change of state of the liquid crystal layer 50) specified with two or more pixel electrodes 11, and surrounds the liquid crystal layer 50 is formed along the screen-display field on the substrate 1 for liquid crystal equipments. And between the screen-display fields and sealants 52 on the opposite substrate 2, the circumference abandonment 53 of protection-from-light nature is formed.

[0090] When put into the substrate 1 for liquid crystal equipments by the case of protection-from-light nature where opening was behind prepared corresponding to the screen-display field, the circumference abandonment 53 so that the screen-display field concerned may not hide in the edge of opening of the case concerned according to a manufacture error etc. That is, it is formed from the band-like protection-from-light nature ingredient which has width of face of at least 500 micrometers or more in the perimeter of a screen-display field so that the gap of about hundreds of micrometers to the case of the substrate 1 for liquid crystal equipments may be permitted, for example. Such circumference abandonment 53 of protection-from-light nature is formed in the opposite substrate 2 of sputtering and the photolithography which used metallic materials, such as Cr (chromium) and nickel (nickel), and etching. Or it is formed from ingredients, such as resin black which distributed carbon and Ti (titanium) to the photoresist. Moreover, the protection-from-light layer 23 of circumference sacrifice 53 ** of protection-from-light nature may be formed on the substrate 1 for liquid crystal equipments. If such a configuration is taken, since the lamination precision of the substrate 1 for liquid crystal equipments and the opposite substrate 2 can be disregarded, there is an advantage in which the permeability of liquid

crystal equipment does not differ.

[0091] The mounting terminal 102 which performs the signal input from the data-line drive circuit 101 and the outside etc. along the lower side of a screen-display field is formed in the field of the outside of a sealant 52, and the scanning-line drive circuit 104 is established in the both sides of a screen-display field along with two sides of right and left of a screen-display field. Here, when drive delay of the scanning line 31 does not become a problem, the scanning-line drive circuit 104 may be formed only in one side to the scanning line 31, and the data drive circuit 101 may be established in both sides along with two sides of the upper and lower sides of a screen-display field. In this case 101, for example, one data-line drive circuit, the data line of an odd number train is connected electrically, and you may make it drive the data line of an even number train in the shape of a ctenidium from the upper and lower sides by connecting electrically in another data-line drive circuit 101. Furthermore, two or more wiring 105 for supplying a power source and a driving signal to the scanning-line drive circuit 104 is formed in the surface of a screen-display field. Moreover, the vertical flow material 106 for taking an electric flow between the substrate 1 for liquid crystal equipments and the opposite substrate 2 is formed by at least one place of the corner section of the opposite substrate 2. And the opposite substrate 2 with the almost same profile as a sealant 52 has fixed to the substrate 1 for liquid crystal equipments by the sealant 52 concerned.

[0092] Moreover, although the case where the external control circuit which outputs a clock signal or a picture signal was established in the exterior of liquid crystal equipment to the data-line drive circuit 101 and the scanning-line drive circuit 104 was explained, this invention is not restricted to this and you may make it prepare the control circuit concerned in liquid crystal equipment in the gestalt of each operation mentioned above.

[0093] Only a clock signal may be made to supply from an external control circuit, and especially a clock signal may constitute so that the circuit which generates an opposite phase clock signal on the substrate for liquid crystal equipments may be prepared.

[0094] Although the liquid crystal equipment 10 explained above is applicable to an electrochromatic display projector etc., in this case, three liquid crystal equipments 10 will be used as a light valve for RGB, respectively, and incidence of the light of each color decomposed through the dichroic mirror for RGB color separation, respectively will be carried out to each panel as incident light, respectively. Therefore, with the gestalt of each operation, the color filter is not prepared in the opposite substrate 2. However, the color filter of RGB may be formed in the predetermined field which counters the pixel electrode 11 with which the protection-from-light layer 23 is not formed in liquid crystal equipment 10 on the opposite substrate 2 with the protective coat. If it does in this way, the liquid crystal equipment of the gestalt of this operation is applicable to electrochromatic display equipments, such as electrochromatic display television of direct viewing types other than a liquid crystal projector, or a reflective mold.

[0095] Moreover, the poly-Si TFT of a forward stagger mold or a coplanar mold is sufficient as the switching element used for liquid crystal equipment, and the gestalt of this operation is effective also to TFT of other formats, such as TFT of a reverse stagger mold, and an amorphous silicon TFT.

[0096] Furthermore, in liquid crystal equipment, although the liquid crystal layer 50 was constituted from a pneumatic liquid crystal as an example, if the polymer dispersed liquid crystal which distributed liquid crystal as a minute grain in the macromolecule is used, the above-mentioned polarization film, a polarizing plate, etc. will become unnecessary in the orientation film and a list, and the advantage of a raise in the brightness of liquid crystal equipment or low-power-izing by efficiency for light utilization increasing will be acquired.

[0097] In addition, you may make it connect electrically and mechanically the data-line drive circuit 101 and the scanning-line drive circuit 104 to LSI for a drive mounted on TAB (tape automated bonding substrate) instead of preparing on the substrate 1 for liquid crystal equipments through the anisotropy electric conduction film prepared in the periphery of the substrate 1 for liquid crystal equipments.

[0098] In addition, in the gestalt of operation mentioned above, although the configuration of the scanning-line drive circuit 104 is not explained in full detail, especially about a shift register part, the

same configuration as the data-line drive circuit 101 can be taken.

[0099] (Electronic equipment) Next, the gestalt of operation of electronic equipment equipped with the liquid crystal equipment 10 explained to the detail above is explained with reference to drawing 17 from drawing 14.

[0100] The outline configuration of the electronic equipment which equipped drawing 14 with liquid crystal equipment 10 in this way is shown first.

[0101] In drawing 14, electronic equipment is constituted in preparation for the display drive circuit 1004 including the source 1000 of a display information output, the external display information processing circuit 1002 mentioned above, the above-mentioned scanning-line drive circuit 104, and the data-line drive circuit 101, liquid crystal equipment 10, and clock generation circuit 1008 list in the power circuit 1010. The source 1000 of a display information output is constituted including the tuning circuit which aligns and outputs memory, such as ROM (Read Only Memory), RAM (Random Access Memory), and an optical disk unit, and a TV signal, and outputs display information, such as a picture signal of a predetermined format, to the display information processing circuit 1002 based on the clock signal from the clock generation circuit 1008. The display information processing circuit 1002 is constituted including various well-known processing circuits, such as magnification and a polarity-reversals circuit, a phase expansion circuit, a rotation circuit, a gamma correction circuit, and a clamping circuit, carries out sequential generation of the digital signal from the display information inputted based on the clock signal from the clock generation circuit 1008, and outputs it to the display drive circuit 1004 with a clock signal CLK. The display drive circuit 1004 drives liquid crystal equipment 10 by the above-mentioned drive approach the scanning-line drive circuit 104 and the data-line drive circuit 101. A power circuit 1010 supplies a predetermined power source to each above-mentioned circuit. In addition, on the substrate for liquid crystal equipments which constitutes liquid crystal equipment 10, the display drive circuit 1004 may be carried and, in addition to this, the display information processing circuit 1002 may be carried.

[0102] The equipment equipped with the video tape recorder of the personal computer corresponding to multimedia (PC) and engineering workstation (EWS) which are shown in the liquid crystal projector shown in drawing 15 and drawing 16 or a cellular phone, a word processor, television, a viewfinder mold, or a monitor direct viewing type, an electronic notebook, an electronic calculator, car navigation equipment, the POS terminal, and the touch panel as electronic equipment of such a configuration can be mentioned.

[0103] Next, the example of the electronic equipment constituted in this way from drawing 15 by drawing 17 is shown, respectively.

[0104] In drawing 15, an example slack liquid crystal projector 1100 of electronic equipment is a liquid crystal projector of a projection mold, is equipped with the light source 1110, dichroic mirrors 1113 and 1114, the reflective mirrors 1115, 1116, and 1117, the incidence lens 1118, a relay lens 1119 and the outgoing radiation lens 1120, the liquid crystal light valves 1122, 1123, and 1124, the cross dichroic prism 1125, and a projector lens 1126, and is constituted. The liquid crystal light valves 1122, 1123, and 1124 prepare three liquid crystal display modules containing the liquid crystal equipment 10 with which the drive circuit 1004 mentioned above was carried on the substrate for liquid crystal equipments, and they are used for them as a liquid crystal light valve, respectively. Moreover, the light source 1110 consists of a reflector 1112 which reflects the light of the lamps 1111, such as metal halide, and a lamp 1111.

[0105] In the liquid crystal projector 1100 constituted as mentioned above, the dichroic mirror 1113 of blue glow and green light reflection reflects blue glow and green light while making the red light of the white light bundles from the light source 1110 penetrate. It is reflected by the reflective mirror 1117 and incidence of the transmitted red light is carried out to the liquid crystal light valve 1122 for red light. On the other hand, among the colored light reflected with the dichroic mirror 1113, it is reflected by the dichroic mirror 1114 of green light reflection, and incidence of the green light is carried out to the liquid crystal light valve 1123 for green light. Moreover, blue glow also penetrates the 2nd dichroic mirror 1114. In order to prevent the optical loss by the long optical path to blue glow, the light guide means

1121 which consists of a relay lens system containing the incidence lens 1118, a relay lens 1119, and the outgoing radiation lens 1120 is established, and incidence of the blue glow is carried out to the liquid crystal light valve 1124 for blue glow through this. Incidence of the three colored light modulated with each light valve is carried out to the cross dichroic prism 1125. As for this prism, the dielectric multilayers in which four rectangular prisms reflect the dielectric multilayers which are stuck and reflect red sunset in that inside, and a blue light are formed in the shape of a cross joint. Three colored light is compounded by these dielectric multilayers, and the light showing a color picture is formed. With the projector lens 1126 which is an incident light study system, it is projected on the compounded light on a screen 1127, and an image is expanded and it is displayed.

[0106] In drawing 16, the personal computer 1200 of other example slack laptop types of electronic equipment has the liquid crystal display 1206 with which it had liquid crystal equipment 10 mentioned above in the top covering case, and the body section 1204 into which the keyboard 1202 was built while holding CPU, memory, a modem, etc.

[0107] Moreover, as shown in drawing 17, TCP (Tape Carrier Package)1320 which mounted the IC chip 1324 in polyimide TEBU 1322 in which the metaled electric conduction film was formed is connected, and as liquid crystal equipment for electronic equipment which is elegance a part, it can also produce and sell and can also be used for one side of two transparence substrates 1304a and 1304b which constitute the substrate 1304 for liquid crystal equipments.

[0108] As mentioned above, equipment equipped with the video tape recorder of a liquid crystal television, a view finder mold, or a monitor direct viewing type, the car navigation equipment, the electronic notebook, the calculator, the word processor, the workstation, the cellular phone, the TV phone, POS terminal, and touch panel other than electronic equipment which were explained with reference to drawing 17 from drawing 15 etc. is mentioned as an example of the electronic equipment shown in drawing 14.

[0109] In addition, this invention is not limited to the above-mentioned example, and deformation implementation various by within the limits of the summary of this invention is possible for it. For example, this invention is applicable not only to what is applied to the drive of various kinds of above-mentioned liquid crystal equipments but electroluminescence and plasma display 1 equipment.

[0110] Increase of the layout area of a drive circuit can be prevented amending according to the gestalt of this operation so that the phase contrast of a clock signal and an opposite phase clock signal may be abolished certainly, as explained above. Therefore, various kinds of electronic equipment by which the pixel which built in the circumference drive circuit in the same substrate as Pixel TFT was equipped with detailed and high definition micro liquid crystal equipment and the liquid crystal equipment concerned is realizable.

[0111]

[Effect of the Invention] Since said clock signal phase contrast amendment means was established for the clock signal phase contrast amendment means at least between the driving means of the supply line of a clock signal, the data line, or the scanning line according to the drive circuit of the electro-optic device of this invention as explained above, the phase contrast of a clock signal and an opposite phase clock signal can be abolished, and malfunction of said driving means can be prevented. Moreover, since said clock signal phase contrast amendment means is established between the supply line of a clock signal, and said driving means at least rather than is established for every stage of the shift register of a driving means, it enables high integration of a circumference circuit and can offer the drive circuit of a highly minute and small electro-optic device.

[Translation done.]

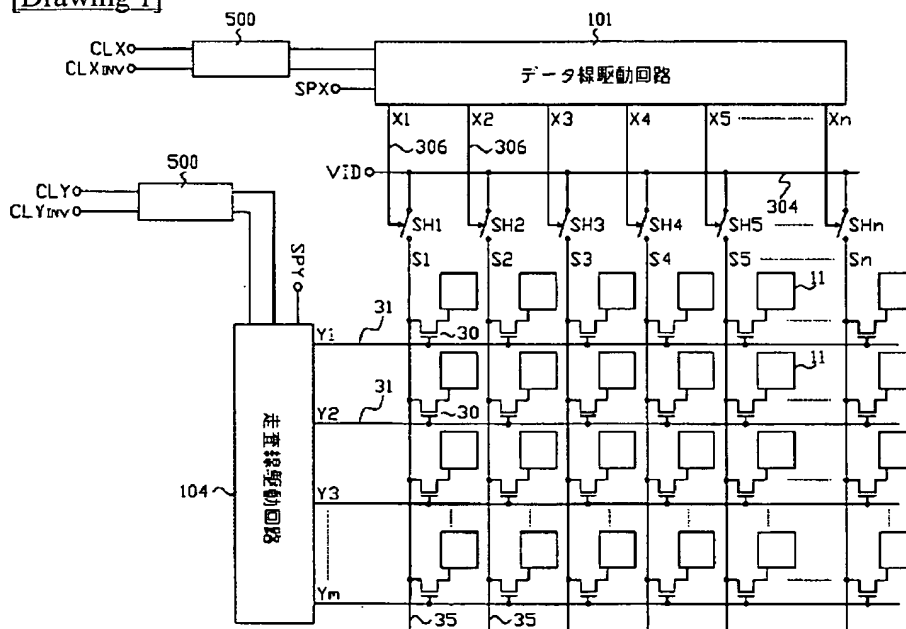
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

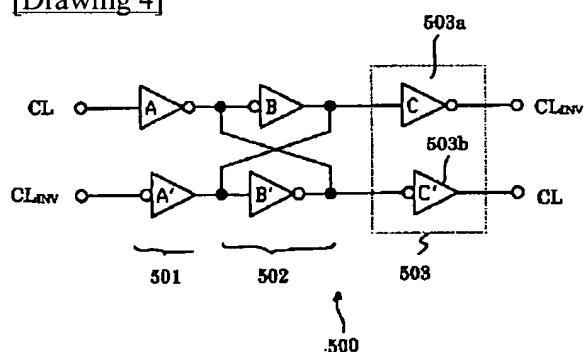
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

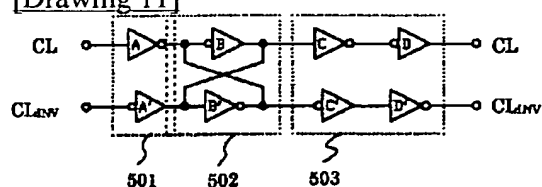
[Drawing 1]



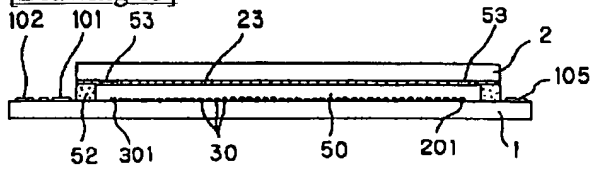
[Drawing 4]



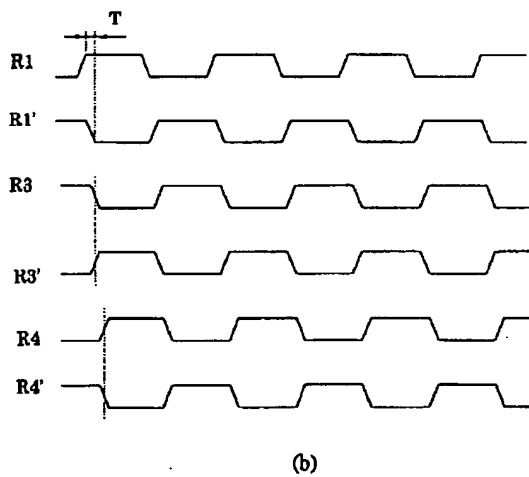
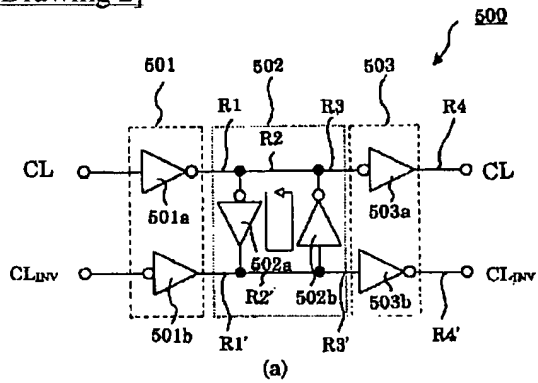
[Drawing 11]



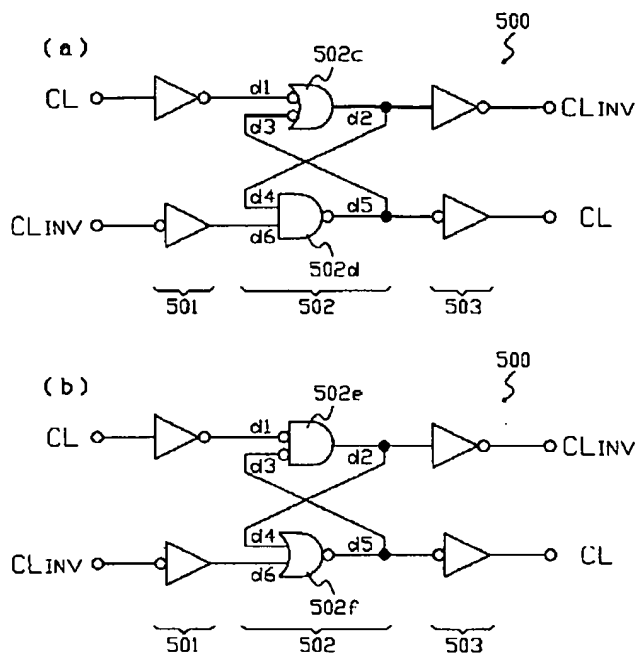
[Drawing 13]



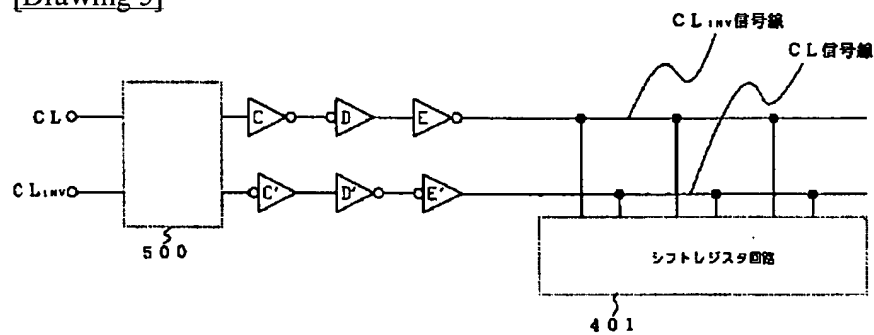
[Drawing 2]



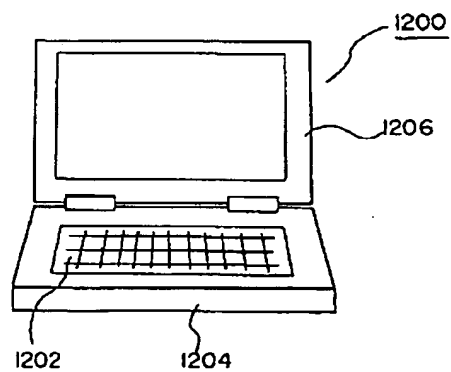
[Drawing 3]



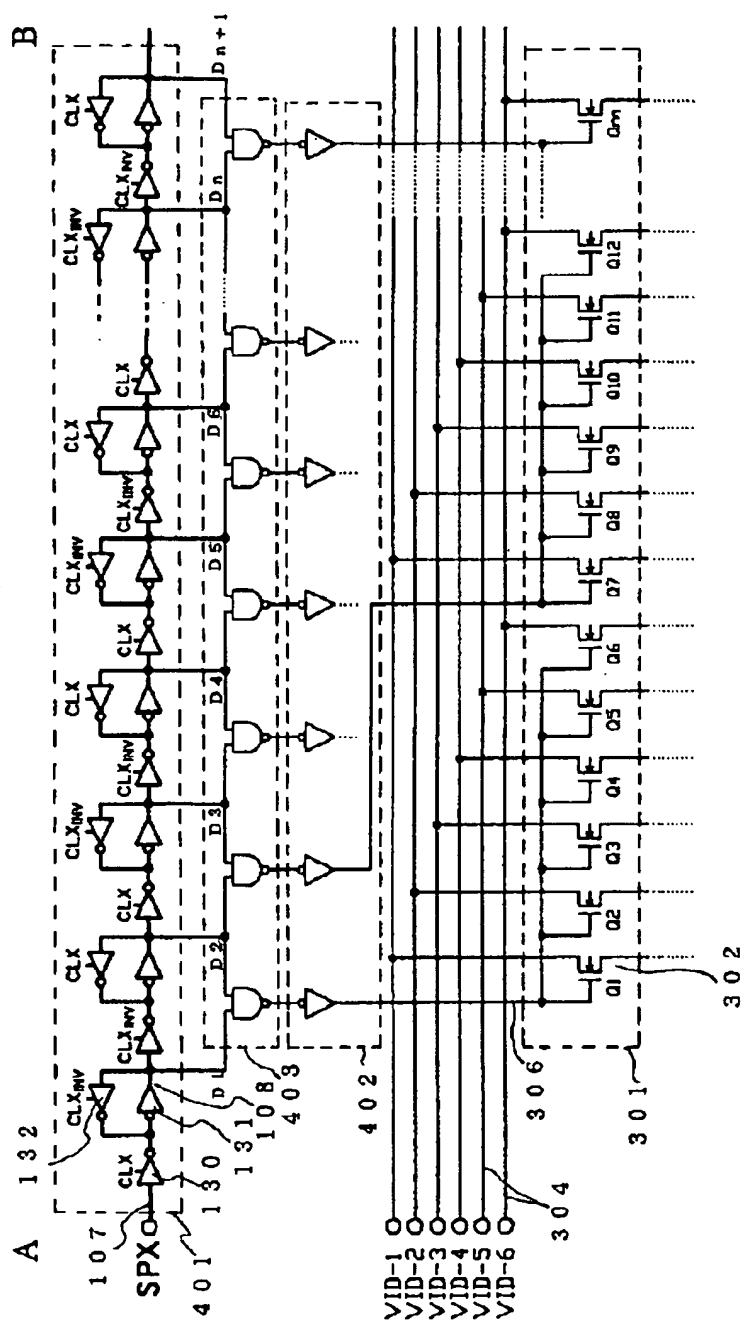
[Drawing 5]



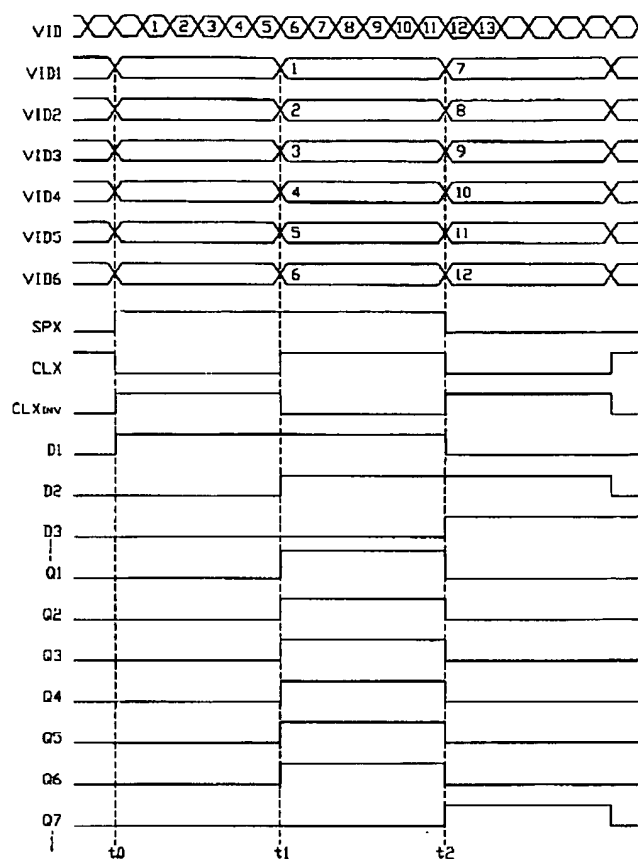
[Drawing 16]



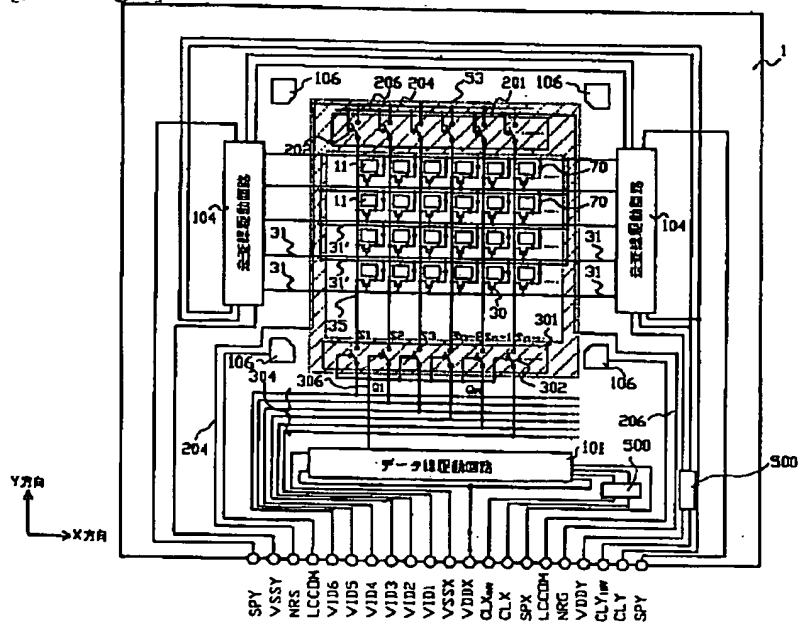
[Drawing 6]



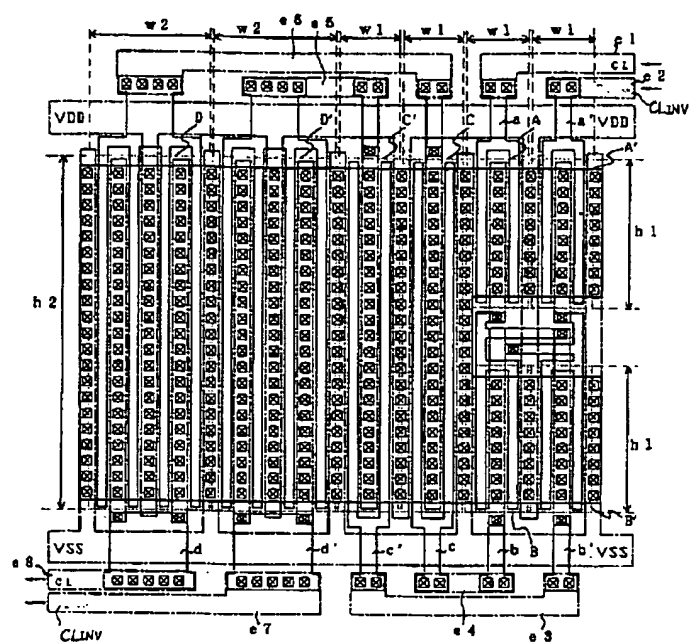
[Drawing 7]



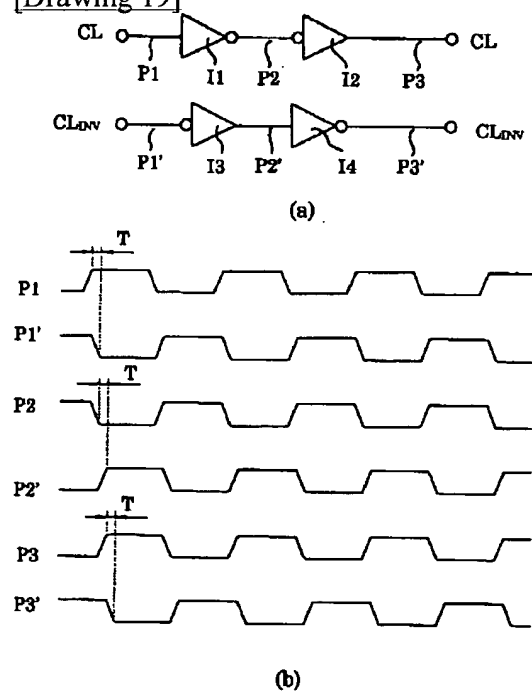
[Drawing 8]



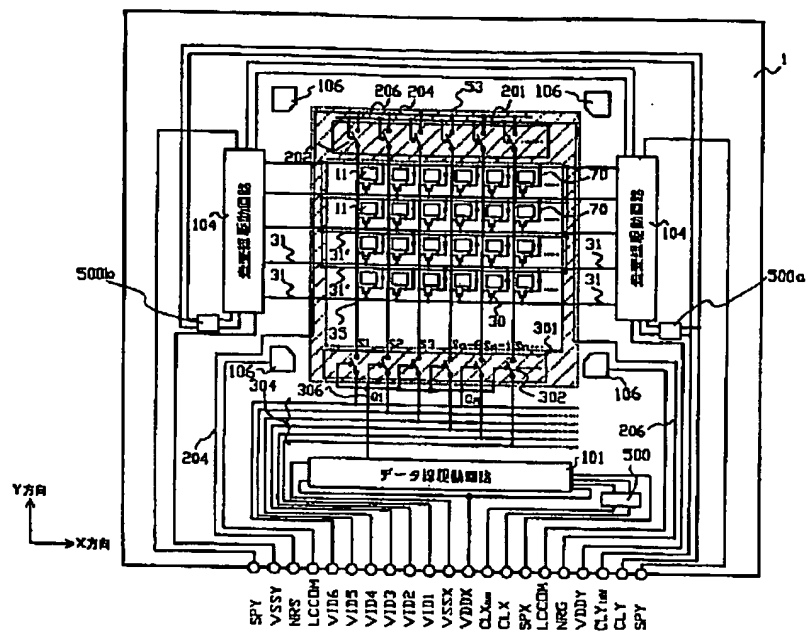
[Drawing 10]



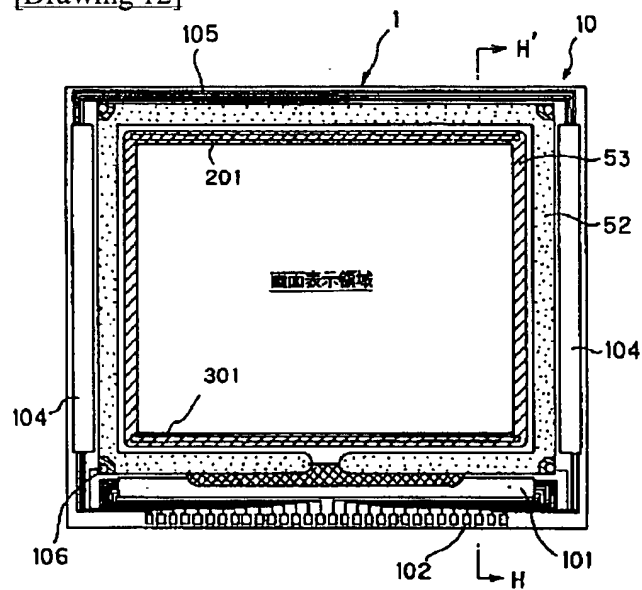
[Drawing 19]



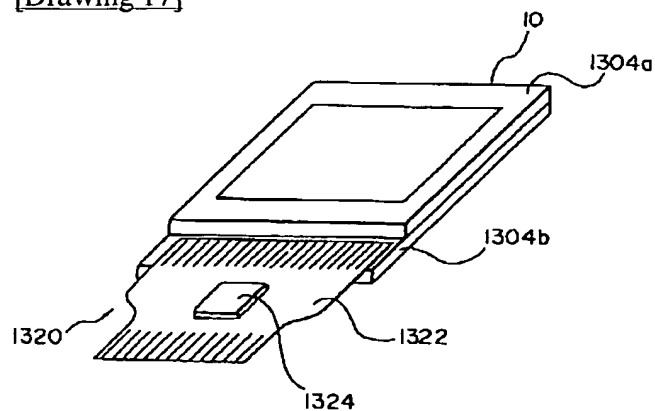
[Drawing 9]



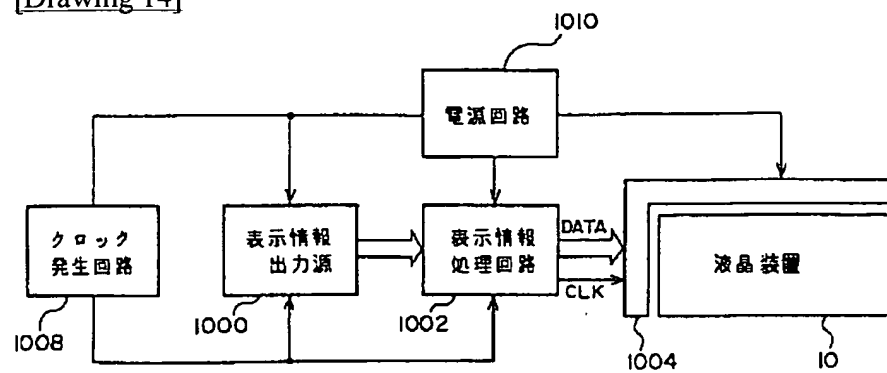
[Drawing 12]



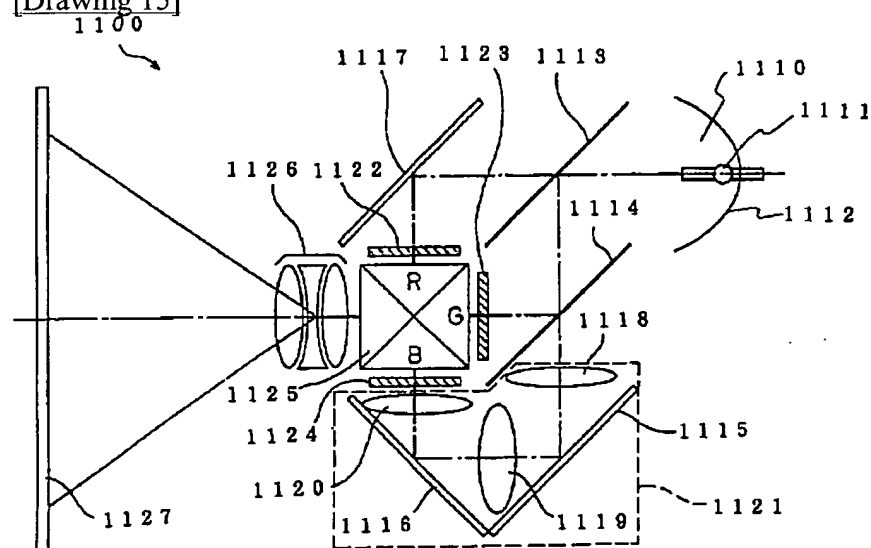
[Drawing 17]



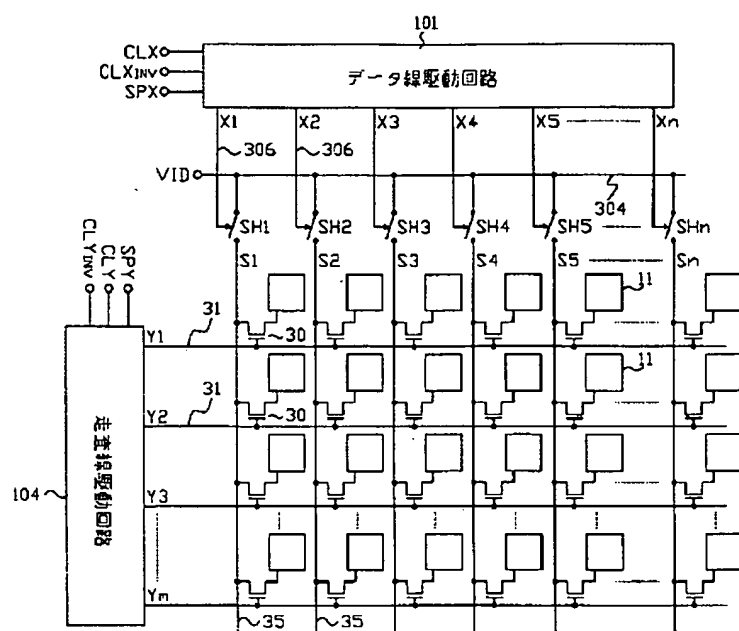
[Drawing 14]



[Drawing 15]



[Drawing 18]



[Translation done.]